



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출 원 번 호 : 10-2002-0043694
Application Number PATENT-2002-0043694

출 원 년 월 일 : 2002년 07월 24일
Date of Application JUL 24, 2002

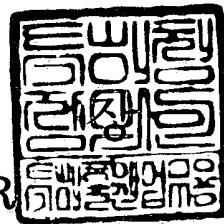
출 원 인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.

2002 년 10 월 23 일



특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.07.24
【국제특허분류】	H01L
【발명의 명칭】	데이터 신호의 스キュ를 개선하는 데이터 출력 회로
【발명의 영문명칭】	Data output circuit for improving skew of data circuit
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	현동호
【성명의 영문표기】	HYUN, Dong Ho
【주민등록번호】	720105-1932527
【우편번호】	442-370
【주소】	경기도 수원시 팔달구 매탄동 매탄주공4단지 411동 103호
【국적】	KR
【발명자】	
【성명의 국문표기】	임종형
【성명의 영문표기】	LIM, Jong Hyoung
【주민등록번호】	690217-1807811
【우편번호】	442-470

1020020043694

출력 일자: 2002/10/24

【주소】

경기도 수원시 팔달구 영통동 벽적골 두산아파트 806동
1502호

【국적】

KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사 를 청구합니다. 대리인
이영필 (인) 대리인
정상빈 (인)

【수수료】

【기본출원료】	20	면	29,000	원
【가산출원료】	49	면	49,000	원
【우선권주장료】	0	건	0	원
【심사청구료】	30	항	1,069,000	원
【합계】			1,147,000	원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

데이터 신호의 스큐를 개선하는 데이터 출력 회로가 개시된다. 본 발명에 따른 데이터 출력 회로는 제 1 반전부, 제 1 전압 보상부, 제 2 반전부, 제 2 전압 보상부 및 드라이버부를 구비하는 것을 특징으로 한다. 제 1 반전부는 소정의 동작 전압 레벨을 가지는 제 1 데이터 신호를 수신하여 반전시킨 제 1 반전 데이터 신호를 발생한다. 제 1 전압 보상부는 소정의 출력 전압 레벨을 가지는 제 1 전원 전압이 상기 동작 전압 레벨을 가지는 제 2 전원 전압과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 1 반전 데이터 신호의 전압 레벨을 보상하여 제 1 드라이빙 신호를 발생한다. 제 2 반전부는 상기 동작 전압 레벨을 가지는 제 2 데이터 신호를 수신하여 반전시킨 제 2 반전 데이터 신호를 발생한다. 제 2 전압 보상부는 상기 제 1 전원 전압이 상기 제 2 전원 전압과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 2 반전 데이터 신호의 전압 레벨을 보상하여 제 2 드라이빙 신호를 발생한다. 드라이버부는 상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호를 수신하고, 상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호의 논리 레벨과 반대되는 논리 레벨을 가지는 출력 데이터 신호를 출력한다. 본 발명에 따른 데이터 출력 회로는 동작 전압 레벨과 다른 전압 레벨을 가지는 전원 전압의 전압 레벨 변화를 자동으로 인식하여 출력되는 데이터 신호의 스큐를 개선시킬 수 있는 장점이 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

데이터 신호의 스큐를 개선하는 데이터 출력 회로{Data output circuit for improving skew of data circuit}

【도면의 간단한 설명】

본 발명의 상세한 설명에서 인용되는 도면을 보다 충분히 이해하기 위하여 각 도면의 간단한 설명이 제공된다.

도 1은 종래의 동작 전압 레벨과 출력 전압 레벨이 다른 데이터 출력 회로를 나타내는 회로도이다.

도 2는 도 1의 비교 전압 신호를 자동적으로 발생시키는 회로도이다.

도 3은 본 발명의 제 1 실시예에 따른 데이터 출력 데이터 회로이다.

도 4는 도 3의 전압 보상부의 다른 회로구성을 나타내는 회로도이다.

도 5는 본 발명의 제 2 실시예에 따른 데이터 출력 데이터 회로이다.

도 6은 도 5의 제 1 및 제 2 제어 전압 발생부를 나타내는 회로도이다.

도 7은 본 발명의 제 3 실시예에 따른 데이터 출력 데이터 회로이다.

도 8은 도 7의 제 1 및 제 2 제어부를 나타내는 회로도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <10> 본 발명은 데이터 출력 회로에 관한 것으로, 특히 출력 전압 레벨이 동작 전압 레벨과 다를 경우 이를 감지하여 출력되는 데이터 신호의 스케일을 조절할 수 있는 데이터 출력 회로에 관한 것이다.
- <11> 최근의 반도체 장치는 고속 동작이 요구됨에 따라 소모 전력이 커지고 있다. 따라서 소모 전력을 줄이기 위한 방법들이 제안되고 있고 그러한 방법의 하나로서 반도체 장치의 동작 전압의 레벨을 낮추는 방법이 사용된다.
- <12> 따라서 하나의 반도체 장치 내부에서도 서로 인터페이스 되는 회로와 회로간에 사용되는 전압원이 다른 경우가 발생될 수 있다. 특히, 반도체 장치 내부 회로를 동작시키는 전압원과 데이터 신호가 출력되는 출력 드라이버 회로의 전압원이 다를 수 있다.
- <13> 도 1은 종래의 동작 전압 레벨과 출력 전압 레벨이 다른 데이터 출력 회로를 나타내는 회로도이다.
- <14> 도 1을 참조하면, 종래의 데이터 출력 회로(100)는 버퍼 로직부(110), 프리 드라이버부(120) 및 주 드라이버부(130)를 구비한다.
- <15> 버퍼 로직부(110)는 클럭 신호(CLK)에 응답하여 데이터 신호(DATA) 및 반전 데이터 신호(/DATA)를 일정 시간동안 버퍼링 한 후 제 1 데이터 신호(DATA1) 및 제 2 데이터 신호(DATA2)로서 출력한다. 이러한 동작을 위하여 버퍼 로직부(110)는 전송 게이트들 (111, 113), 인버터들(I1, I2, I3, I4, I5)을 구비한다.

- <16> 또한 비교 전압 신호(VCOM)에 응답하여 제 2 데이터 신호(DATA2)의 스퀴를 제어하는 저항들(R1, R2)과 엔모스 트랜지스터(MN2)를 더 구비할 수 있다. 비교 전압 신호(VCOM)의 발생 방법은 도 2에서 후술된다.
- <17> 버퍼 로직부(110)의 전원은 데이터 출력 회로(100)의 내부 회로(미도시)의 동작 전압 레벨이다.
- <18> 프리 드라이버부(120)는 동작 전압 레벨을 가지는 제 1 데이터 신호(DATA1) 및 제 2 데이터 신호(DATA2)를 출력 전압 레벨을 가지는 제 1 드라이빙 신호(DRV1) 및 제 2 드라이빙 신호(DRV2)로 전환한다.
- <19> 또한 제 1 데이터 신호(DATA1)와 제 2 데이터 신호(DATA2)의 논리 레벨과 제 1 드라이빙 신호(DRV1) 및 제 2 드라이빙 신호(DRV2)의 논리 레벨은 서로 반대이다.
- <20> 이러한 동작을 위하여 프리 드라이버부(120)는 출력 전압 레벨을 가지는 제 1 전원 전압(VDDQ)과 제 1 접지 전압(VSSQ)사이에 연결되는 엔모스 트랜지스터들(MN0, MN1)과 피모스 트랜지스터들(MP0, MP1)을 구비한다.
- <21> 주 드라이버부(130)는 제 1 드라이빙 신호(DRV1) 및 제 2 드라이빙 신호(DRV2)에 응답하여 출력 데이터 신호(DATAOUT)를 출력한다. 이러한 동작을 위하여 주 드라이버부(130)는 출력 전압 레벨을 가지는 제 1 전원 전압(VDDQ)과 제 1 접지 전압(VSSQ)사이에 연결되는 엔모스 트랜지스터(MN3)와 피모스 트랜지스터 (MP3)를 구비한다.
- <22> 종래의 데이터 출력 회로(100)의 버퍼 로직부(110)의 전원은 내부 회로(미도시)를 동작시키는 동작 전압 레벨을 가지는 전원 전압으로서, 일반적으로 3.3V 또는 2.5V 수준의 전압 레벨을 갖는다.

- <23> 프리 드라이버부(120)와 주 드라이버부(130)는 출력 전압 레벨을 가지는 제 1 전원 전압(VDDQ)과 제 1 접지 전압(VSSQ)을 가진다. 출력 전압 레벨은 보통의 경우 동작 전압 레벨과 동일하지만 고속 동작 영역에서의 출력 특성 문제를 고려하고 저 전력 소모를 구현하기 위하여 동작 전압 레벨보다 낮은 전압 레벨을 갖는 추세이다.
- <24> 종래의 데이터 출력 회로(100)는 프리 드라이버부(120)와 주 드라이버부(130)에 사용되는 출력 전압 레벨이 동작 전압 레벨과 달라지면 프리 드라이버부(120)의 제 1 드라이빙 신호(DRV1) 및 제 2 드라이빙 신호(DRV2)의 기울기가 변하게되어 출력 데이터 신호(DATAOUT)에 스큐(skew)가 발생된다.
- <25> 스큐가 발생되는 문제를 방지하기 위하여 데이터 출력 회로(100)는 비교 전압 신호(VCOM)를 활성화시켜 제 2 저항(R2)을 이용하지 않고 엔모스 트랜지스터(MN2)의 턴 온 저항을 대신 이용하여 제 2 드라이빙 신호(DRV2)의 하이 레벨로의 천이 시간을 빠르게 하여 스큐를 보상한다.
- <26> 비교 전압 신호(VCOM)는 출력 전압 레벨을 가지는 제 1 전원 전압(VDDQ)의 레벨 변화를 감지하여 자동적으로 발생되거나 또는 파워 업(Power Up)시에 MRS(Mode Register Set) 과정을 통하여 설정되거나, 퓨즈 컷팅(Fuse-Cut)등의 방법으로 발생될 수 있다.
- <27> 도 2는 도 1의 비교 전압 신호를 자동적으로 발생시키는 회로도이다.
- <28> 저항들(RA, RB)의 저항비를 이용하여 동작 전압 레벨을 가지는 제 2 전원 전압(VDD)에 대한 적절한 기준 전위를 발생하고, 기준 전위를 출력 전압 레벨을 가지는 제 1 전원 전압(VDDQ)과 비교기(210)를 이용하여 비교한다.

- <29> 제 1 전원 전압(VDDQ)의 레벨이 일정한 전압 레벨 이하이면 인버터(220)에 의하여 비교 전압 신호(VCOM)가 하이 레벨로 발생된다.
- <30> 그러나 도 2에 도시된 종래의 제 1 전원 전압(VDDQ)의 변화를 자동적으로 감지하는 방법은 저항들(RA, RB)이 공정 변화에 민감하며, 제 2 전원 전압(VDD)의 전압 레벨도 보통 $\pm 3V$ 변화가 있을 수 있으므로 기준 전위 자체가 변화될 수 있는 문제가 있다.
- <31> 그리고 도 1과 같이 비교 전압 신호(VCOM)를 활성화시켜 엔모스 트랜지스터(MN2)의 턴 온 저항을 변화시키는 방법은 엔모스 트랜지스터(MN2)의 턴 온 저항이 0이 될 수 없으며, 제 2 전원 전압(VDD)의 전압 레벨에 따라서 비교 전압 신호(VCOM)의 전압 레벨이 변화되어 엔모스 트랜지스터(MN2)의 턴 온 저항도 변하게 되는 문제가 있다.
- <32> 또한 도 1의 출력 데이터 신호(DATAOUT)가 활성화되기 위해서는 제 1 드라이빙 신호(DRV1)가 로우 레벨이거나 제 2 드라이빙 신호(DRV2)가 하이 레벨이어야 한다.
- <33> 그러면 도 1의 제 1 데이터 신호(DATA1)가 하이 레벨이 되어 엔모스 트랜지스터(MN0)의 게이트와 소스 사이의 전압(V_{GS})이 VDD-VSS가 되거나 제 2 데이터 신호(DATA2)가 로우 레벨이 되어 피모스 트랜지스터(MP1)의 게이트와 소스 사이의 전압(V_{GS})이 VDDQ-VSS가 되어야 한다.
- <34> 그러나 제 1 전원 전압(VDDQ)의 전압 레벨이 변한다면 엔모스 트랜지스터 (MN0)의 게이트와 소스 사이의 전압(V_{GS})은 변화가 없으나 피모스 트랜지스터 (MP1)의 게이트와 소스 사이의 전압(V_{GS})은 제 1 전원 전압(VDDQ)의 전압 레벨에 따라 변한다.

<35> 결국 제 1 전원 전압(VDDQ)의 레벨이 낮은 경우 피모스 트랜지스터 (MP1)의 게이트와 소스 사이의 전압(Vgs)이 작아져 제 2 드라이빙 신호(DRV2)의 기울기가 작아지는 문제가 발생되고 출력 데이터 신호(DATAOUT)에 스큐가 발생되는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<36> 본 발명이 이루고자하는 기술적 과제는, 출력 전압 레벨과 동작 전압 레벨이 다를 경우 출력 전압 레벨의 변화를 인식하여 출력되는 데이터 신호의 스큐를 개선시키는 데 이터 출력 회로를 제공하는데 있다.

【발명의 구성 및 작용】

<37> 상기 기술적 과제를 달성하기 위한 본 발명의 제 1 실시예에 따른 데이터 출력 회로는 제 1 반전부, 제 1 전압 보상부, 제 2 반전부, 제 2 전압 보상부 및 드라이버부를 구비하는 것을 특징으로 한다.

<38> 제 1 반전부는 소정의 동작 전압 레벨을 가지는 제 1 데이터 신호를 수신하여 반전시킨 제 1 반전 데이터 신호를 발생한다.

<39> 제 1 전압 보상부는 소정의 출력 전압 레벨을 가지는 제 1 전원 전압이 상기 동작 전압 레벨을 가지는 제 2 전원 전압과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 1 반전 데이터 신호의 전압 레벨을 보상하여 제 1 드라이빙 신호를 발생한다.

<40> 제 2 반전부는 상기 동작 전압 레벨을 가지는 제 2 데이터 신호를 수신하여 반전시킨 제 2 반전 데이터 신호를 발생한다.

- <41> 제 2 전압 보상부는 상기 제 1 전원 전압이 상기 제 2 전원 전압과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 2 반전 데이터 신호의 전압 레벨을 보상하여 제 2 드라이빙 신호를 발생한다.
- <42> 드라이버부는 상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호를 수신하고, 상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호의 논리 레벨과 반대되는 논리 레벨을 가지는 출력 데이터 신호를 출력한다.
- <43> 상기 제 1 반전부는 직렬 연결되는 제 1 피모스 트랜지스터와 제 1 엔모스 트랜지스터가 상기 제 1 전원 전압과 상기 출력 전압 레벨을 가지는 제 1 접지 전압 사이에 연결되어 인버터를 형성하고, 상기 제 1 데이터 신호가 상기 제 1 피모스 트랜지스터와 상기 제 1 엔모스 트랜지스터의 게이트로 인가되는 것을 특징으로 한다.
- <44> 상기 제 2 반전부는 직렬 연결되는 제 2 피모스 트랜지스터와 제 2 엔모스 트랜지스터가 상기 제 1 전원 전압과 상기 제 1 접지 전압 사이에 연결되어 인버터를 형성하고 상기 제 2 데이터 신호가 상기 제 2 피모스 트랜지스터와 상기 제 2 엔모스 트랜지스터의 게이트로 인가되는 것을 특징으로 한다.
- <45> 상기 제 1 전압 보상부는 제 1 보상 피모스 트랜지스터 및 제 2 보상 피모스 트랜지스터를 구비한다.
- <46> 제 1 보상 피모스 트랜지스터는 상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가된다.

<47> 제 2 보상 피모스 트랜지스터는 상기 제 1 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 1 데이터 신호가 게이트로 인가되면 상기 제 1 피모스 트랜지스터와 상기 제 1 엔모스 트랜지스터의 연결 노드에 소스가 연결된다.

<48> 상기 제 1 전압 보상부는 상기 제 1 전원 전압과 상기 제 2 전원 전압이 상기 제 1 보상 피모스 트랜지스터의 문턱 전압(thresh hold voltage) 레벨 이상 차이가 나는 경우, 상기 제 1 반전 데이터 신호의 전압 레벨을 보상하는 것을 특징으로 한다.

<49> 상기 제 2 전압 보상부는 제 3 보상 피모스 트랜지스터 및 제 4 보상 피모스 트랜지스터를 구비한다.

<50> 제 3 보상 피모스 트랜지스터는 상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가된다.

<51> 제 4 보상 피모스 트랜지스터는 상기 제 3 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 2 데이터 신호가 게이트로 인가되면 상기 제 2 피모스 트랜지스터와 상기 제 2 엔모스 트랜지스터의 연결 노드에 소스가 연결된다.

<52> 상기 제 2 전압 보상부는 상기 제 1 전원 전압과 상기 제 2 전원 전압이 상기 제 3 보상 피모스 트랜지스터의 문턱 전압(thresh hold voltage) 레벨 이상 차이가 나는 경우, 상기 제 2 반전 데이터 신호의 전압 레벨을 보상하는 것을 특징으로 한다.

<53> 상기 제 1 데이터 신호 및 제 2 데이터 신호는 서로 동일한 레벨을 가지는 신호인 것을 특징으로 한다.

<54> 상기 제 1 전압 보상부는 제 1 보상 피모스 트랜지스터, 제 2 보상 피모스 트랜지스터, 제 1 내지 제 N 부하 피모스 트랜지스터들 및 제 1 부하 엔모스 트랜지스터를 구비하는 것을 특징으로 한다.

<55> 제 1 보상 피모스 트랜지스터는 상기 제 2 전원 전압에 소스가 연결되고 소정의 제 1 하강 전압이 게이트로 인가된다.

<56> 제 2 보상 피모스 트랜지스터는 상기 제 1 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 1 데이터 신호가 게이트로 인가되며 상기 제 1 피모스 트랜지스터와 상기 제 1 엔모스 트랜지스터의 연결 노드에 소스가 연결된다.

<57> 제 1 내지 제 N 부하 피모스 트랜지스터들은 상기 제 1 전원 전압에 직렬로 연결된다.

<58> 제 1 부하 엔모스 트랜지스터는 상기 제 N 부하 피모스 트랜지스터와 제 2 접지 전압 사이에 연결되며, 드레인이 상기 제 1 하강 전압을 발생하고 게이트와 소스가 연결된다.

<59> 상기 제 1 전압 보상부는 상기 제 2 전원 전압과 상기 제 1 하강 전압이 상기 제 1 보상 피모스 트랜지스터의 문턱 전압(threshold voltage) 레벨 이상 차이가 나는 경우 상기 제 1 반전 데이터 신호의 전압 레벨을 보상하며, 상기 제 1 하강 전압은 상기 제 1 내지 제 N 부하 피모스 트랜지스터들의 개수에 의하여 정해지는 것을 특징으로 한다.

<60> 상기 제 2 전압 보상부는 제 3 보상 피모스 트랜지스터, 제 4 보상 피모스 트랜지스터, 제 N+1 내지 제 M 부하 피모스 트랜지스터들 및 제 2 부하 엔모스 트랜지스터를 구비하는 것을 특징으로 한다.

- <61> 제 3 보상 피모스 트랜지스터는 상기 제 2 전원 전압에 소스가 연결되고 소정의 제 2 하강 전압이 게이트로 인가된다.
- <62> 제 4 보상 피모스 트랜지스터는 상기 제 3 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 2 데이터 신호가 게이트로 인가되면 상기 제 2 피모스 트랜지스터와 상기 제 2 엔모스 트랜지스터의 연결 노드에 소스가 연결된다.
- <63> 제 N+1 내지 제 M 부하 피모스 트랜지스터들은 상기 제 1 전원 전압에 직렬로 연결된다.
- <64> 제 2 부하 엔모스 트랜지스터는 상기 제 M 부하 피모스 트랜지스터와 제 2 접지 전압 사이에 연결되며, 드레인이 상기 제 2 하강 전압을 발생하고 게이트와 소스가 연결된다.
- <65> 상기 제 2 전압 보상부는 상기 제 2 전원 전압과 상기 제 2 하강 전압이 상기 제 3 보상 피모스 트랜지스터의 문턱 전압(threshold voltage) 레벨 이상 차이가 나는 경우 상기 제 2 반전 데이터 신호의 전압 레벨을 보상하며, 상기 제 2 하강 전압은 상기 제 N+1 내지 제 M 부하 피모스 트랜지스터들의 개수에 의하여 정해지는 것을 특징으로 한다.
- <66> 상기 기술적 과제를 달성하기 위한 본 발명의 제 2 실시예에 따른 데이터 출력 회로는 제 1 반전부, 제 1 전압 보상부, 제 2 반전부, 제 2 전압 보상부 및 드라이버부를 구비하는 것을 특징으로 한다.

- <67> 제 1 반전부는 소정의 출력 전압 레벨을 가지는 제 1 전원 전압의 레벨과 소정의 동작 전압 레벨을 가지는 제 2 전원 전압의 레벨이 동일하면, 소정의 동작 전압 레벨을 가지는 제 1 데이터 신호를 수신하여 반전시킨 제 1 반전 데이터 신호를 발생한다.
- <68> 제 1 전압 보상부는 상기 제 1 전원 전압의 레벨이 상기 제 2 전원 전압의 레벨과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 1 반전 데이터 신호의 전압 레벨을 보상하여 제 1 드라이빙 신호를 발생한다.
- <69> 제 2 반전부는 상기 제 1 전원 전압의 레벨과 상기 제 2 전원 전압의 레벨이 동일하면, 소정의 동작 전압 레벨을 가지는 제 2 데이터 신호를 수신하여 반전시킨 제 2 반전 데이터 신호를 발생한다.
- <70> 제 2 전압 보상부는 상기 제 1 전원 전압이 상기 제 2 전원 전압과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 2 반전 데이터 신호의 전압 레벨을 보상하여 제 2 드라이빙 신호를 발생한다.
- <71> 드라이버부는 상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호를 수신하고, 상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호의 논리 레벨과 반대되는 논리 레벨을 가지는 출력 데이터 신호를 출력한다.
- <72> 상기 제 1 반전부는 제 1 반전 피모스 트랜지스터, 제 2 반전 피모스 트랜지스터, 제 1 반전 엔모스 트랜지스터 및 제 1 제어 전압 발생부를 구비하는 것을 특징으로 한다.
- <73> 제 1 반전 피모스 트랜지스터는 상기 제 1 전원 전압에 소스가 연결되고 게이트에 소정의 제 1 제어 전압이 인가된다.

<74> 제 2 반전 피모스 트랜지스터는 상기 제 1 반전 피모스 트랜지스터의 드레인에 소스가 연결되고 게이트에 상기 제 1 데이터 신호가 인가되면 드레인이 상기 제 1 반전 데이터 신호를 발생한다.

<75> 제 1 반전 엔모스 트랜지스터는 상기 제 2 반전 피모스 트랜지스터의 드레인에 드레인이 연결되고 게이트에 상기 제 1 데이터 신호가 인가되면 소스가 제 1 접지 전압에 연결된다.

<76> 제 1 제어 전압 발생부는 상기 제 1 전원 전압의 레벨과 상기 제 2 전원 전압의 레벨이 동일하면 상기 제 1 제어 전압을 제 1 논리 레벨로 발생하고, 상기 제 2 전원 전압의 레벨보다 상기 제 1 전원 전압의 레벨이 일정 레벨만큼 낮으면 상기 제 1 제어 전압을 제 2 논리 레벨로 발생한다.

<77> 상기 제 1 제어 전압 발생부는 제 1 제어 피모스 트랜지스터, 제 1 내지 제 N 부하 피모스 트랜지스터들, 제 1 제어 엔모스 트랜지스터를 구비하는 것을 특징으로 한다.

<78> 제 1 제어 피모스 트랜지스터는 상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가된다.

<79> 제 1 내지 제 N 부하 피모스 트랜지스터들은 상기 제 1 제어 피모스 트랜지스터에 직렬로 연결된다.

<80> 제 1 제어 엔모스 트랜지스터는 상기 제 N 부하 피모스 트랜지스터와 제 2 접지 전압 사이에 연결되며, 드레인이 상기 제 1 제어 전압을 발생하고 게이트와 소스가 연결된다.

- <81> 상기 제 1 전압 보상부는 제 1 보상 피모스 트랜지스터 및 제 2 보상 피모스 트랜지스터를 구비하는 것을 특징으로 한다.
- <82> 제 1 보상 피모스 트랜지스터는 상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가된다.
- <83> 제 2 보상 피모스 트랜지스터는 상기 제 1 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 1 데이터 신호가 게이트로 인가되며 상기 제 2 반전 피모스 트랜지스터와 상기 제 1 반전 엔모스 트랜지스터의 연결 노드에 소스가 연결된다.
- <84> 상기 제 1 전압 보상부는 상기 제 1 전원 전압과 상기 제 2 전원 전압이 상기 제 1 보상 피모스 트랜지스터의 문턱 전압(threshold voltage) 레벨 이상 차이가 나는 경우, 상기 제 1 반전 데이터 신호의 전압 레벨을 보상하는 것을 특징으로 한다.
- <85> 상기 제 2 반전부는 제 3 반전 피모스 트랜지스터, 제 4 반전 피모스 트랜지스터, 제 2 반전 엔모스 트랜지스터 제 2 제어 전압 발생부를 구비하는 것을 특징으로 한다.
- <86> 제 3 반전 피모스 트랜지스터는 상기 제 1 전원 전압에 소스가 연결되고 게이트에 소정의 제 2 제어 전압이 인가된다.
- <87> 제 4 반전 피모스 트랜지스터는 상기 제 3 반전 피모스 트랜지스터의 드레인에 소스가 연결되고 게이트에 상기 제 2 데이터 신호가 인가되며 드레인이 상기 제 2 반전 데이터 신호를 발생한다.
- <88> 제 2 반전 엔모스 트랜지스터는 상기 제 4 반전 피모스 트랜지스터의 드레인에 드레인이 연결되고 게이트에 상기 제 2 데이터 신호가 인가되며 소스가 제 1 접지 전압에 연결된다.

- <89> 제 2 제어 전압 발생부는 상기 제 1 전원 전압의 레벨과 상기 제 2 전원 전압의 레벨이 동일하면 상기 제 1 제어 전압을 제 1 논리 레벨로 발생하고, 상기 제 2 전원 전압의 레벨보다 상기 제 1 전원 전압의 레벨이 일정 레벨만큼 낮으면 상기 제 2 제어 전압을 제 2 논리 레벨로 발생한다.
- <90> 상기 제 2 제어 전압 발생부는 제 2 제어 피모스 트랜지스터, 제 N+1 내지 제 M 부하 피모스 트랜지스터들 및 제 2 제어 엔모스 트랜지스터를 구비하는 것을 특징으로 한다.
- <91> 제 2 제어 피모스 트랜지스터는 상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가된다. 제 N+1 내지 제 M 부하 피모스 트랜지스터들은 상기 제 2 제어 피모스 트랜지스터에 직렬로 연결된다.
- <92> 제 2 제어 엔모스 트랜지스터는 상기 제 M+1 부하 피모스 트랜지스터와 제 2 접지 전압 사이에 연결되며, 드레인이 상기 제 2 제어 전압을 발생하고 게이트와 소스가 연결된다.
- <93> 상기 제 2 전압 보상부는 제 3 보상 피모스 트랜지스터 및 제 4 보상 피모스 트랜지스터를 구비하는 것을 특징으로 한다.
- <94> 제 3 보상 피모스 트랜지스터는 상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가된다.
- <95> 제 4 보상 피모스 트랜지스터는 상기 제 3 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 2 데이터 신호가 게이트로 인가되어 상기 제 4 반전 피모스 트랜지스터와 상기 제 2 반전 엔모스 트랜지스터의 연결 노드에 소스가 연결된다.

- <96> 상기 제 2 전압 보상부는 상기 제 1 전원 전압과 상기 제 2 전원 전압이 상기 제 3 보상 피모스 트랜지스터의 문턱 전압(threshold hold voltage) 레벨 이상 차이가 나는 경우, 상기 제 2 반전 데이터 신호의 전압 레벨을 보상하는 것을 특징으로 한다.
- <97> 상기 제 1 데이터 신호 및 제 2 데이터 신호는 서로 동일한 레벨을 가지는 신호인 것을 특징으로 한다.
- <98> 상기 기술적 과제를 달성하기 위한 본 발명의 제 3 실시예에 따른 데이터 출력 회로는 제 1 반전부, 제 1 전압 보상부, 제 1 제어부, 제 2 반전부, 제 2 전압 보상부, 제 2 제어부 및 드라이버부를 구비하는 것을 특징으로 한다.
- <99> 제 1 반전부는 소정의 출력 전압 레벨을 가지는 제 1 전원 전압의 레벨과 소정의 동작 전압 레벨을 가지는 제 2 전원 전압의 레벨이 동일하면, 소정의 동작 전압 레벨을 가지는 제 1 데이터 신호를 수신하여 반전시킨 제 1 반전 데이터 신호를 발생한다.
- <100> 제 1 전압 보상부는 상기 제 1 전원 전압의 레벨이 상기 제 2 전원 전압의 레벨과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 1 반전 데이터 신호의 전압 레벨을 보상하여 제 1 드라이빙 신호를 발생한다.
- <101> 제 1 제어부는 상기 제 1 전원 전압의 레벨이 상기 제 2 전원 전압의 레벨과 동일한 경우와 상기 제 1 전원 전압의 레벨이 상기 제 2 전원 전압의 레벨과 일정한 전압 레벨 이상 차이가 나는 경우에 각각 응답하여 상기 제 1 전압 보상부의 동작을 제어하는 제 1 제어 신호 및 상기 제 1 반전부의 동작을 제어하는 제 2 제어 신호를 발생한다.

<102> 제 2 반전부는 상기 제 1 전원 전압의 레벨과 상기 제 2 전원 전압의 레벨이 동일 하면, 소정의 동작 전압 레벨을 가지는 제 2 데이터 신호를 수신하여 반전시킨 제 2 반전 데이터 신호를 발생한다.

<103> 제 2 전압 보상부는 상기 제 1 전원 전압이 상기 제 2 전원 전압과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 2 반전 데이터 신호의 전압 레벨을 보상하여 제 2 드라이빙 신호를 발생한다.

<104> 제 2 제어부는 상기 제 1 전원 전압의 레벨이 상기 제 2 전원 전압의 레벨과 동일한 경우와 상기 제 1 전원 전압의 레벨이 상기 제 2 전원 전압의 레벨과 일정한 전압 레벨 이상 차이가 나는 경우에 각각 응답하여 상기 제 2 전압 보상부의 동작을 제어하는 제 3 제어 신호 및 상기 제 2 반전부의 동작을 제어하는 제 4 제어 신호를 발생한다.

<105> 드라이버부는 상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호를 수신하고, 상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호의 논리 레벨과 반대되는 논리 레벨을 가지는 출력 데이터 신호를 출력한다.

<106> 상기 제 1 반전부는 제 1 반전 피모스 트랜지스터, 제 2 반전 피모스 트랜지스터 및 제 1 반전 엔모스 트랜지스터를 구비하는 것을 특징으로 한다.

<107> 제 1 반전 피모스 트랜지스터는 상기 제 1 전원 전압에 소스가 연결되고 게이트에 상기 제 2 제어 신호가 인가된다.

<108> 제 2 반전 피모스 트랜지스터는 상기 제 1 반전 피모스 트랜지스터의 드레인에 소스가 연결되고 게이트에 상기 제 1 데이터 신호가 인가되면 드레인이 상기 제 1 반전 데이터 신호를 발생한다.

<109> 제 1 반전 엔모스 트랜지스터는 상기 제 2 반전 피모스 트랜지스터의 드레인에 드레인이 연결되고 게이트에 상기 제 1 데이터 신호가 인가되면 소스가 제 1 접지 전압에 연결된다.

<110> 상기 제 1 채어부는 제 1 채어 피모스 트랜지스터, 제 1 채어 엔모스 트랜지스터, 제 1 인버터 및 제 2 인버터를 구비하는 것을 특징으로 한다.

<111> 제 1 채어 피모스 트랜지스터는 상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가된다.

<112> 제 1 채어 엔모스 트랜지스터는 상기 제 1 채어 피모스 트랜지스터의 드레인에 드레인이 연결되고 게이트와 소스가 제 2 접지 전압에 연결된다.

<113> 제 1 인버터는 상기 제 1 채어 피모스 트랜지스터와 상기 제 1 채어 엔모스 트랜지스터의 연결노드에 연결되며 상기 제 1 채어 신호를 발생한다.

<114> 제 2 인버터는 상기 제 1 인버터에 연결되며 상기 제 2 채어 신호를 발생한다.

<115> 상기 제 1 전압 보상부는 제 1 보상 피모스 트랜지스터 및 제 2 보상 피모스 트랜지스터를 구비하는 것을 특징으로 한다.

<116> 제 1 보상 피모스 트랜지스터는 상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 채어 신호가 게이트로 인가된다.

<117> 제 2 보상 피모스 트랜지스터는 상기 제 1 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 1 데이터 신호가 게이트로 인가되면 상기 제 2 반전 피모스 트랜지스터와 상기 제 1 반전 엔모스 트랜지스터의 연결 노드에 소스가 연결된다.

<118> 상기 제 2 반전부는 제 3 반전 피모스 트랜지스터, 제 4 반전 피모스 트랜지스터 및 제 2 반전 엔모스 트랜지스터를 구비하는 것을 특징으로 한다.

<119> 제 3 반전 피모스 트랜지스터는 상기 제 1 전원 전압에 소스가 연결되고 게이트에 소정의 제 4 제어 신호가 인가된다.

<120> 제 4 반전 피모스 트랜지스터는 상기 제 3 반전 피모스 트랜지스터의 드레인에 소스가 연결되고 게이트에 상기 제 2 데이터 신호가 인가되면 드레인이 상기 제 2 반전 데이터 신호를 발생한다.

<121> 제 2 반전 엔모스 트랜지스터는 상기 제 4 반전 피모스 트랜지스터의 드레인에 드레인이 연결되고 게이트에 상기 제 2 데이터 신호가 인가되면 소스가 제 1 접지 전압에 연결된다.

<122> 상기 제 2 제어부는 제 2 제어 피모스 트랜지스터, 제 2 제어 엔모스 트랜지스터, 제 3 인버터 및 제 4 인버터를 구비하는 것을 특징으로 한다.

<123> 제 2 제어 피모스 트랜지스터는 상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가된다. 제 2 제어 엔모스 트랜지스터는 상기 제 2 제어 피모스 트랜지스터의 드레인에 드레인이 연결되고 게이트와 소스가 제 2 접지 전압에 연결된다.

<124> 제 3 인버터는 상기 제 2 제어 피모스 트랜지스터와 상기 제 2 제어 엔모스 트랜지스터의 연결노드에 연결되며 상기 제 3 제어 신호를 발생한다. 제 4 인버터는 상기 제 3 인버터에 연결되며 상기 제 4 제어 신호를 발생한다.

- <125> 상기 제 2 전압 보상부는 제 3 보상 피모스 트랜지스터 및 제 4 보상 피모스 트랜지스터를 구비하는 것을 특징으로 한다.
- <126> 제 3 보상 피모스 트랜지스터는 상기 제 2 전원 전압에 소스가 연결되고 상기 제 3 채어 신호가 게이트로 인가된다.
- <127> 제 4 보상 피모스 트랜지스터는 상기 제 3 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 2 데이터 신호가 게이트로 인가되며 상기 제 4 반전 피모스 트랜지스터와 상기 제 2 반전 엔모스 트랜지스터의 연결 노드에 소스가 연결된다.
- <128> 상기 제 1 데이터 신호 및 제 2 데이터 신호는 서로 동일한 레벨을 가지는 신호인 것을 특징으로 한다.
- <129> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.
- <130> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <131> 도 3은 본 발명의 제 1 실시예에 따른 데이터 출력 데이터 회로이다.
- <132> 도 3을 참조하면, 본 발명의 제 1 실시예에 따른 데이터 출력 회로(300)는 제 1 반전부(330), 제 1 전압 보상부(340), 제 2 반전부(350), 제 2 전압 보상부(360) 및 드라이버부(380)를 구비한다.
- <133> 도 3에는 데이터 출력 회로(300)의 동작의 이해를 돋기 위하여 클럭 신호(CLK)에 응답하여 데이터를 저장하였다가 출력하는 버퍼 로직부(310)가 더 도시되어 있다. 버퍼

로직부(310)는 클럭 신호(CLK)에 응답하여 데이터(DATA)와 반전 데이터(/DATA)를 출력하는 전송 게이트들(311, 313)을 구비한다.

<134> 데이터(DATA)는 인버터들(I1, I2)을 통하여 제 1 데이터 신호(DATA1)로서 출력된다. 반전 데이터(/DATA)는 인버터들(I3, I4, I5)을 통하여 제 2 데이터 신호(DATA2)로서 출력된다. 제 1 데이터 신호(DATA1)와 제 2 데이터 신호(DATA2)는 서로 동일한 논리 레벨을 가진다.

<135> 데이터(DATA) 및 반전 데이터(/DATA)는 데이터 출력 회로(300)의 내부 회로(미도시)를 동작시키는 동작 전압 레벨을 가진다. 따라서 제 1 데이터 신호(DATA1) 및 제 2 데이터 신호(DATA2)도 동작 전압 레벨을 가진다.

<136> 제 1 반전부(330)는 소정의 동작 전압 레벨을 가지는 제 1 데이터 신호(DATA1)를 수신하여 반전시킨 제 1 반전 데이터 신호(/DATA1)를 발생한다.

<137> 제 1 반전부(330)는 직렬 연결되는 제 1 피모스 트랜지스터(MP1)와 제 1 엔모스 트랜지스터(MN1)가 제 1 전원 전압(VDDQ)과 출력 전압 레벨을 가지는 제 1 접지 전압(VSSQ) 사이에 연결되어 인버터를 형성한다.

<138> 그리고 제 1 데이터 신호(DATA1)는 제 1 피모스 트랜지스터(MP1)와 제 1 엔모스 트랜지스터(MN1)의 게이트로 인가된다.

<139> 출력 전압 레벨은 동작 전압 레벨보다 낮은 전압 레벨을 가진다. 출력 데이터 신호(DATAOUT)가 높은 주파수를 가지므로 전력 소모를 감소시키기 위함이다.

- <140> 제 1 반전부(330)가 출력 전압 레벨을 가지는 제 1 전원 전압(VDDQ)과 제 1 접지 전압(VSSQ) 사이에서 동작되므로 제 1 반전 데이터 신호(/DATA1)는 출력 전압 레벨을 가진다.
- <141> 제 1 데이터 신호(DATA1)가 하이 레벨이면 제 1 엔모스 트랜지스터(MN1)가 턴 온되어 제 1 반전 데이터 신호(/DATA1)는 로우 레벨로 발생될 것이다. 제 1 데이터 신호(DATA1)가 로우 레벨이면 제 1 피모스 트랜지스터(MP1)가 턴 온되어 제 1 반전 데이터 신호(/DATA1)는 하이 레벨로 발생될 것이다.
- <142> 제 2 반전부(350)는 동작 전압 레벨을 가지는 제 2 데이터 신호(DATA2)를 수신하여 반전시킨 제 2 반전 데이터 신호(/DATA2)를 발생한다.
- <143> 좀더 설명하면, 제 2 반전부(350)는 직렬 연결되는 제 2 피모스 트랜지스터(MP2)와 제 2 엔모스 트랜지스터(MN2)가 제 1 전원 전압(VDDQ)과 제 1 접지 전압(VSSQ) 사이에 연결되어 인버터를 형성한다.
- <144> 그리고 제 2 데이터 신호(DATA2)는 제 2 피모스 트랜지스터(MP2)와 제 2 엔모스 트랜지스터(MN2)의 게이트로 인가된다.
- <145> 제 2 반전부(350)는 제 1 반전부(330)와 동일한 회로 구성을 가지므로 자세한 동작의 설명은 생략한다.
- <146> 제 1 반전 데이터 신호(/DATA1)와 제 2 반전 데이터 신호(/DATA2)는 출력 전압 레벨을 가지므로 동작 전압 레벨에 비하여 낮은 전압 레벨을 가지므로 제 1 반전 데이터 신호(/DATA1)와 제 2 반전 데이터 신호(/DATA2)의 기울기가 작아질 수 있다.

<147> 따라서 제 1 반전 데이터 신호(/DATA1)와 제 2 반전 데이터 신호(/DATA2)가 그대로 드라이버부(380)로 인가된다면 출력 데이터 신호(DATAOUT)는 스큐 에러를 가질 수 있다. 그러므로 제 1 반전 데이터 신호(/DATA1)와 제 2 반전 데이터 신호(/DATA2)의 전압 레벨을 보충하기 위한 제 1 전압 보상부(340) 및 제 2 전압 보상부(360)가 이용된다.

<148> 제 1 전압 보상부(340)는 출력 전압 레벨을 가지는 제 1 전원 전압(VDDQ)이 동작 전압 레벨을 가지는 제 2 전원 전압(VDD)과 일정한 전압 레벨 이상 차이가 나는 경우, 제 1 반전 데이터 신호(/DATA1)의 전압 레벨을 보상하여 제 1 드라이빙 신호(DRV1)를 발생한다.

<149> 구체적으로, 제 1 전압 보상부(340)는 제 1 보상 페모스 트랜지스터(MPC1) 및 제 2 보상 페모스 트랜지스터(MPC2)를 구비한다.

<150> 제 1 보상 페모스 트랜지스터(MPC1)는 제 2 전원 전압(VDD)에 소스가 연결되고 제 1 전원 전압(VDDQ)이 게이트로 인가된다. 제 2 보상 페모스 트랜지스터(MPC2)는 제 1 보상 페모스 트랜지스터(MPC1)의 드레인에 소스가 연결되고 제 1 데이터 신호(DATA1)가 게이트로 인가되면 제 1 페모스 트랜지스터(MP1)와 제 1 엔모스 트랜지스터(MN1)의 연결 노드에 소스가 연결된다.

<151> 제 1 전압 보상부(340)는 제 1 전원 전압(VDDQ)과 제 2 전원 전압(VDD)이 제 1 보상 페모스 트랜지스터(MPC1)의 문턱 전압(thresh hold voltage) 레벨 이상 차이가 나는 경우, 제 1 반전 데이터 신호(/DATA1)의 전압 레벨을 보상한다.

<152> 즉, 제 1 전원 전압(VDDQ)의 전압 레벨이 제 2 전원 전압(VDD)의 전압 레벨에서 제 1 보상 페모스 트랜지스터(MPC1)의 문턱 전압을 뺀 값보다 작으면 제 1 보상 페모스 트

랜지스터(MPC1)는 턴 온 된다. 제 1 데이터 신호(DATA1)가 로우 레벨 일 경우 제 2 보상 피모스 트랜지스터(MPC2)도 턴 온 된다.

<153> 따라서 출력 천압 레벨을 가지는 제 1 반전 데이터 신호(/DATA1)가 동작 천압 레벨을 가지도록 천압 보상이 이루어진다. 즉, 제 2 전원 천압(VDD)에 의하여 제 1 반전 데이터 신호(/DATA1)의 천압 레벨이 상승된다. 제 1 드라이빙 신호(DRV1)는 제 1 반전 데이터 신호(/DATA1)의 천압 레벨이 동작 천압 레벨까지 상승된 신호이다.

<154> 제 2 천압 보상부(360)는 제 1 전원 천압(VDDQ)이 제 2 전원 천압(VDD)과 일정한 천압 레벨 이상 차이가 나는 경우, 제 2 반전 데이터 신호(/DATA2)의 천압 레벨을 보상하여 제 2 드라이빙 신호(DRV2)를 발생한다.

<155> 좀더 설명하면, 제 2 천압 보상부(360)는 제 3 보상 피모스 트랜지스터(MPC3) 및 제 4 보상 피모스 트랜지스터(MPC4)를 구비한다.

<156> 제 3 보상 피모스 트랜지스터(MPC3)는 제 2 전원 천압(VDD)에 소스가 연결되고 제 1 전원 천압(VDDQ)이 게이트로 인가된다. 제 4 보상 피모스 트랜지스터(MPC4)는 제 3 보상 피모스 트랜지스터(MPC3)의 드레인에 소스가 연결되고 제 2 데이터 신호(DATA2)가 게이트로 인가되며 제 2 피모스 트랜지스터(MP2)와 제 2 엔모스 트랜지스터(MN2)의 연결 노드에 소스가 연결된다.

<157> 제 2 천압 보상부(360)는 제 1 전원 천압(VDDQ)과 제 2 전원 천압(VDD)이 제 3 보상 피모스 트랜지스터(MPC3)의 문턱 천압(threshold voltage) 레벨 이상 차이가 나는 경우, 제 2 반전 데이터 신호(/DATA2)의 천압 레벨을 보상한다.

<158> 제 2 전압 보상부(360)의 동작도 제 1 전압 보상부(340)의 동작과 동일하다. 제 2 데이터 신호(DATA2)의 논리 레벨이 제 1 데이터 신호(DATA1)의 논리 레벨과 동일하다. 제 2 데이터 신호(DATA2)의 논리 레벨이 로우 레벨이라고 할 경우, 제 2 드라이빙 신호(DRV2)의 논리 레벨은 하이 레벨이다.

<159> 즉, 제 1 드라이빙 신호(DRV1)와 제 2 드라이빙 신호(DRV2)는 모두 동작 전압 레벨을 가지며, 동시에 하이 레벨을 가진다. 그러면, 트라이버부(380)의 엔모스 트랜지스터(MNDRV)는 턴 온 되고, 피모스 트랜지스터(MPDRV)는 턴 오프 된다. 따라서 출력 데이터 신호(DATAOUT)는 로우 레벨로 발생된다. 물론 제 1 드라이빙 신호(DRV1) 및 제 2 드라이빙 신호(DRV2)가 동작 전압 레벨을 가지므로 출력 데이터 신호(DATAOUT)의 스퀴는 감소 될 것이다.

<160> 제 1 전압 보상부(340)와 제 2 전압 보상부(360)의 동작이 좀 더 상세히 설명된다.

<161> 제 1 전압 보상부(340)와 제 2 전압 보상부(360)는 동작 전압 레벨을 가지는 제 2 전원 전압(VDD)을 소스로 수신하고 출력 전압 레벨을 가지는 제 1 전원 전압(VDDQ)을 게이트로 수신하는 제 1 보상 피모스 트랜지스터(MPC1)와 제 3 보상 피모스 트랜지스터(MPC3)를 각각 구비한다.

<162> 제 1 전원 전압(VDDQ)과 제 2 전원 전압(VDD)의 전압 레벨의 차이가 각각 제 1 보상 피모스 트랜지스터(MPC1)와 제 3 보상 피모스 트랜지스터(MPC3)의 문턱 전압(Threshold Voltage) 이상으로 차이가 나지 않는 경우, 제 1 보상 피모스 트랜지스터(MPC1)와 제 3 보상 피모스 트랜지스터(MPC3)는 턴 오프 된다.

<163> 그러면 도 3의 데이터 출력 회로(300)는 종래의 데이터 출력 회로(100)와 동일한 동작을 한다.

<164> 제 1 전원 전압(VDDQ)과 제 2 전원 전압(VDD)의 전압 레벨의 차이가 각각 제 1 보상 피모스 트랜지스터(MPC1)와 제 3 보상 피모스 트랜지스터(MPC3)의 문턱 전압(Threshold Voltage) 이상으로 차이가 나는 경우, 제 1 보상 피모스 트랜지스터(MPC1)와 제 3 보상 피모스 트랜지스터(MPC3)는 터온된다.

<165> 그리고, 제 1 데이터 신호(DATA1)와 제 2 데이터 신호(DATA2)가 로우 레벨로 활성화되는 경우, 제 1 반전부(330)의 제 1 피모스 트랜지스터(MP1)와 제 2 반전부(350)의 제 2 피모스 트랜지스터(MP2)가 터온되는 것과 동시에 제 2 보상 피모스 트랜지스터(MPC2)와 제 4 보상 피모스 트랜지스터(MPC4)도 터온된다.

<166> 그러면, 하이 레벨을 가지는 제 1 드라이빙 신호(DRV1)와 제 2 드라이빙 신호(DRV2)의 전압 레벨이 보상된다. 즉, 제 1 드라이빙 신호(DRV1)와 제 2 드라이빙 신호(DRV2)의 전압 레벨이 동작 전압 레벨로 상승된다.

<167> 제 1 데이터 신호(DATA1)가 로우 레벨을 가질 경우, 논리 하이 레벨을 가지는 제 1 드라이빙 신호(DRV1)의 전압 레벨은 제 1 피모스 트랜지스터(MP0)의 문턱 전압인 "제 1 전원 전압(VDDQ)의 전압 레벨 - 제 1 데이터 신호(DATA1)의 전압 레벨(VSS)"에 의하여 결정된다.

<168> 그런데 제 1 전원 전압(VDDQ)의 전압 레벨이 낮아질수록 제 1 피모스 트랜지스터(MP1)의 문턱 전압의 값이 작아져 제 1 드라이빙 신호(DRV1)의 하이 레벨의 활성화가 느려진다.

<169> 그러나 제 1 전원 전압(VDDQ)의 전압 레벨이 낮아질수록 제 1 전압 보상부(340)의 제 2 전원 전압(VDD)과 제 1 전원 전압(VDDQ)의 전위 차이는 커지므로 제 1 보상 피모스 트랜지스터(MPC1)가 턴 온 되는 정도도 더욱 커지고 제 1 드라이빙 신호(DRV1)의 하이 레벨로의 활성화가 빨라진다.

<170> 결국, 제 1 전원 전압(VDDQ)의 전압 레벨의 변화에 관계없이 출력 데이터 신호 (DATAOUT)의 파형의 스케일을 유지할 수 있다.

<171> 위에 설명한 것과 마찬가지로, 제 2 데이터 신호(DATA2)가 로우 레벨을 가질 경우, 논리 하이 레벨을 가지는 제 2 드라이빙 신호(DRV2)의 전압 레벨은 제 2 피모스 트랜지스터(MP0)의 문턱 전압인 "제 1 전원 전압(VDDQ)의 전압 레벨 - 제 2 데이터 신호 (DATA2)의 전압 레벨(VSS)"에 의하여 결정된다.

<172> 그런데 제 1 전원 전압(VDDQ)의 전압 레벨이 낮아질수록 제 2 피모스 트랜지스터 (MP2)의 문턱 전압의 값이 작아져 제 2 드라이빙 신호(DRV2)의 하이 레벨의 활성화가 느려진다.

<173> 그러나 제 1 전원 전압(VDDQ)의 전압 레벨이 낮아질수록 제 2 전압 보상부(360)의 제 2 전원 전압(VDD)과 제 1 전원 전압(VDDQ)의 전위 차이는 커지므로 제 3 보상 피모스 트랜지스터(MPC3)가 턴 온 되는 정도도 더욱 커지고 제 2 드라이빙 신호(DRV2)의 하이 레벨로의 활성화도 빨라진다.

<174> 결국, 제 1 전원 전압(VDDQ)의 전압 레벨의 변화에 관계없이 출력 데이터 신호 (DATAOUT)의 파형의 스케일을 유지할 수 있다.

<175> 도 4는 도 3의 전압 보상부의 다른 회로구성을 나타내는 회로도이다.

<176> 제 1 전압 보상부(340)는 제 1 보상 피모스 트랜지스터(MPC11), 제 2 보상 피모스 트랜지스터(MPC21), 제 1 내지 제 N 부하 피모스 트랜지스터들(MPR1, MPR2 ~MPR N) 및 제 1 부하 엔모스 트랜지스터(MNR1)를 구비한다.

<177> 좀더 설명하면, 제 1 보상 피모스 트랜지스터(MPC11)는 제 2 전원 전압(VDD)에 소스가 연결되고 소정의 제 1 하강 전압(VDROP1)이 게이트로 인가된다. 제 2 보상 피모스 트랜지스터(MPC21)는 제 1 보상 피모스 트랜지스터(MPC11)의 드레인에 소스가 연결되고 제 1 데이터 신호(DATA1)가 게이트로 인가되면 제 1 피모스 트랜지스터(MP1)와 제 1 엔모스 트랜지스터(MN1)의 연결 노드에 소스가 연결된다.

<178> 제 1 내지 제 N 부하 피모스 트랜지스터들(MPR1, MPR2 ~MPR N)은 제 1 전원 전압(VDDQ)에 직렬로 연결된다. 제 1 부하 엔모스 트랜지스터(MNR1)는 제 N 부하 피모스 트랜지스터(MPR N)와 제 2 접지 전압(VSS) 사이에 연결되며, 드레인이 제 1 하강 전압(VDROP1)을 발생하고 게이트와 소스가 연결된다.

<179> 제 1 전압 보상부(340)는 제 2 전원 전압(VDD)과 제 1 하강 전압(VDROP1)이 제 1 보상 피모스 트랜지스터(MPC11)의 문턱 전압(threshold voltage) 레벨 이상 차이가 나는 경우 제 1 반전 데이터 신호(/DATA1)의 전압 레벨을 보상하며, 제 1 하강 전압(VDROP1)은 제 1 내지 제 N 부하 피모스 트랜지스터들(MPR1, MPR2 ~MPR N)의 개수에 의하여 정해진다.

<180> 제 2 전압 보상부(350)는 제 3 보상 피모스 트랜지스터(MPC31), 제 4 보상 피모스 트랜지스터(MPC41), 제 N+1 내지 제 M 부하 피모스 트랜지스터들(MPR N+1, MPR N+2 ~MPR M) 및 제 2 부하 엔모스 트랜지스터(MNR2)를 구비한다.

<181> 좀더 설명하면, 제 3 보상 피모스 트랜지스터(MPC31)는 제 2 전원 전압(VDD)에 소스가 연결되고 소정의 제 2 하강 전압(VDROP2)이 게이트로 인가된다. 제 4 보상 피모스 트랜지스터(MPC41)는 제 3 보상 피모스 트랜지스터(MPC31)의 드레인에 소스가 연결되고 제 2 데이터 신호(DATA2)가 게이트로 인가되며 제 2 피모스 트랜지스터(MP2)와 제 2 엔모스 트랜지스터(MN2)의 연결 노드에 소스가 연결된다.

<182> 제 N+1 내지 제 M 부하 피모스 트랜지스터들(MPR N+1, MPR N+2 ~ MPR M)은 제 1 전원 전압(VDDQ)에 직렬로 연결된다. 제 2 부하 엔모스 트랜지스터(MNR2)는 제 M 부하 피모스 트랜지스터(MPR M)와 제 2 접지 전압(VSS) 사이에 연결되며, 드레인이 제 2 하강 전압(VDROP2)을 발생하고 게이트와 소스가 연결된다.

<183> 제 2 전압 보상부(350)는 제 2 전원 전압(VDD)과 제 2 하강 전압(VDROP2)이 제 3 보상 피모스 트랜지스터(MP31)의 문턱 전압(thresh hold voltage) 레벨 이상 차이가 나는 경우 제 2 반전 데이터 신호(/DATA2)의 전압 레벨을 보상하며, 제 2 하강 전압(VDROP2)은 제 N+1 내지 제 M 부하 피모스 트랜지스터들(MPR N+1, MPR N+2 ~ MPR M)의 개수에 의하여 정해진다.

<184> 도 3의 데이터 출력 회로(300)의 제 1 전압 보상부(340) 및 제 2 전압 보상부(350)는 제 1 전원 전압(VDDQ)이 제 2 전원 전압(VDD)보다 제 1 및 제 3 보상 피모스 트랜지스터(MPC1, MPC3)의 문턱 전압 레벨이상 작은 경우에 제 1 및 제 2 반전 데이터 신호(/DATA1, /DATA2)의 전압 레벨을 보상한다.

<185> 도 4의 제 1 및 제 2 전압 보상부(340, 350)의 새로운 실시예는 제 1 전원 전압(VDDQ)이 제 2 전원 전압(VDD)보다 제 1 및 제 3 보상 피모스 트랜지스터 (MPC11,

MPC31)의 문턱 전압 레벨이상 작지 않더라도 제 1 및 제 2 반전 데이터 신호(/DATA1, /DATA2)의 전압 레벨을 보상할 수 있다.

<186> 즉, 도 4의 제 1 전압 보상부(340) 및 제 2 전압 보상부(350)를 이용하면, 제 1 전원 전압(VDDQ)의 변화를 좀더 정밀하게 인식하여 출력 데이터 신호(DATAOUT)의 스箐 조절이 가능하다.

<187> 이러한 동작을 위하여, 제 1 보상 피모스 트랜지스터(MPC11)의 게이트로 제 1 전원 전압(VDDQ)이 직접 인가되는 대신 제 1 하강 전압(VDROP1)이 인가된다.

<188> 제 1 하강 전압(VDROP1)은 제 1 전원 전압(VDDQ)의 전압 레벨에서 제 1 내지 제 N 부하 피모스 트랜지스터들(MPR1, MPR2 ~MPR N)의 문턱 전압 레벨의 총 합을 뺀 값을 전압 레벨로서 갖는다. 즉, 제 1 하강 전압(VDROP1)의 전압 레벨은 제 1 내지 제 N 부하 피모스 트랜지스터들(MPR1, MPR2 ~MPR N)의 개수에 의하여 정해진다.

<189> 제 1 전원 전압(VDDQ)의 전압 레벨이 제 2 전원 전압(VDD)의 전압 레벨과 제 1 보상 피모스 트랜지스터(MPC11)의 문턱 전압 레벨 이상 차이가 나지 않더라도, 제 1 내지 제 N 부하 피모스 트랜지스터들(MPR1, MPR2 ~MPR N)의 개수를 조정하여 제 1 하강 전압(VDROP1)의 전압 레벨을 조정한다면 제 1 보상 피모스 트랜지스터 (MPC11)를 턴 온 시킬 수 있다. 따라서 제 1 반전 데이터 신호(/DATA1)의 전압 레벨을 보상할 수 있다.

<190> 제 2 전압 보상부(350)의 동작도 제 1 전압 보상부(340)의 동작과 동일하다. 즉, 제 3 보상 피모스 트랜지스터(MPC31)의 게이트로 제 1 전원 전압(VDDQ)이 직접 인가되는 대신 제 2 하강 전압(VDROP2)이 인가된다.

- <191> 제 2 하강 전압(VDROP2)은 제 1 전원 전압(VDDQ)의 전압 레벨에서 제 N+1 내지 제 M 부하 피모스 트랜지스터들(MPR N+1, MPR N+2 ~MPR M)의 문턱 전압 레벨의 총 합을 뺀 값을 전압 레벨로서 갖는다. 즉, 제 2 하강 전압(VDROP2)의 전압 레벨은 제 N+1 내지 제 M 부하 피모스 트랜지스터들(MPR N+1, MPR N+2 ~MPR M)의 개수에 의하여 정해진다.
- <192> 제 1 전원 전압(VDDQ)의 전압 레벨이 제 2 전원 전압(VDD)의 전압 레벨과 제 3 보상 피모스 트랜지스터(MPC31)의 문턱 전압 레벨 이상 차이가 나지 않더라도, 제 N+1 내지 제 M 부하 피모스 트랜지스터들(MPR N+1, MPR N+2 ~MPR M)의 개수를 조정하여 제 2 하강 전압(VDROP2)의 전압 레벨을 조정한다면 제 3 보상 피모스 트랜지스터(MPC31)를 턴 온 시킬 수 있다. 따라서 제 2 반전 데이터 신호(/DATA2)의 전압 레벨을 보상할 수 있다.
- <193> 도 5는 본 발명의 제 2 실시예에 따른 데이터 출력 데이터 회로이다.
- <194> 도 6은 도 5의 제 1 및 제 2 제어 전압 발생부를 나타내는 회로도이다.
- <195> 도 5 및 도 6을 참조하면, 본 발명의 제 2 실시예에 따른 데이터 출력 회로(500)는 제 1 반전부(530), 제 1 전압 보상부(540), 제 2 반전부(550), 제 2 전압 보상부(560) 및 드라이버부(570)를 구비한다.
- <196> 제 1 반전부(530)는 소정의 출력 전압 레벨을 가지는 제 1 전원 전압(VDDQ)의 레벨과 소정의 동작 전압 레벨을 가지는 제 2 전원 전압(VDD)의 레벨이 동일하면, 소정의 동작 전압 레벨을 가지는 제 1 데이터 신호(DATA1)를 수신하여 반전시킨 제 1 반전 데이터 신호(/DATA1)를 발생한다.

<197> 좀더 설명하면, 제 1 반전부(530)는 제 1 반전 피모스 트랜지스터(MPA1), 제 2 반전 피모스 트랜지스터(MPA2), 제 1 반전 엔모스 트랜지스터(MNA1) 및 제 1 제어 전압 발생부(545)를 구비한다.

<198> 제 1 반전 피모스 트랜지스터(MPA1)는 제 1 전원 전압(VDDQ)에 소스가 연결되고 게이트에 소정의 제 1 제어 전압(CON1)이 인가된다. 제 2 반전 피모스 트랜지스터(MPA2)는 제 1 반전 피모스 트랜지스터(MPA1)의 드레인에 소스가 연결되고 게이트에 제 1 데이터 신호(DATA1)가 인가되면 드레인이 제 1 반전 데이터 신호(/DATA1)를 발생한다.

<199> 제 1 반전 엔모스 트랜지스터(MNA1)는 제 2 반전 피모스 트랜지스터(MPA2)의 드레인에 드레인이 연결되고 게이트에 제 1 데이터 신호(DATA1)가 인가되면 소스가 제 1 접지 전압(VSSQ)에 연결된다.

<200> 제 1 제어 전압 발생부(545)는 제 1 전원 전압(VDDQ)의 레벨과 제 2 전원 전압(VDD)의 레벨이 동일하면 제 1 제어 전압(CON1)을 제 1 논리 레벨로 발생하고, 제 2 전원 전압(VDD)의 레벨보다 제 1 전원 전압(VDDQ)의 레벨이 일정 레벨만큼 낮으면 제 1 제어 전압(CON1)을 제 2 논리 레벨로 발생한다.

<201> 제 1 제어 전압 발생부(545)는 제 1 제어 피모스 트랜지스터(MPCON1), 제 1 내지 제 N 부하 피모스 트랜지스터들(MPR1 ~ MPR N), 제 1 제어 엔모스 트랜지스터(MNCON1)를 구비한다.

<202> 제 1 제어 피모스 트랜지스터(MPCON1)는 제 2 전원 전압(VDD)에 소스가 연결되고 제 1 전원 전압(VDDQ)이 게이트로 인가된다. 제 1 내지 제 N 부하 피모스 트랜지스터들(MPR1 ~ MPR N)은 제 1 제어 피모스 트랜지스터(MPCON1)에 직렬로 연결된다.

<203> 제 1 제어 앤모스 트랜지스터(MNCON1)는 제 N 부하 피모스 트랜지스터(MPR N)와 제 2 접지 전압(VSS) 사이에 연결되며, 드레인이 제 1 제어 전압(CON1)을 발생하고 게이트와 소스가 연결된다.

<204> 제 1 전압 보상부(540)는 제 1 전원 전압(VDDQ)의 레벨이 제 2 전원 전압(VDD)의 레벨과 일정한 전압 레벨 이상 차이가 나는 경우, 제 1 반전 데이터 신호(/DATA1)의 전압 레벨을 보상하여 제 1 드라이빙 신호(DRV1)를 발생한다.

<205> 제 1 전압 보상부(540)는 제 1 보상 피모스 트랜지스터(MPC1) 및 제 2 보상 피모스 트랜지스터(MPC2)를 구비한다. 제 1 보상 피모스 트랜지스터(MPC1)는 제 2 전원 전압(VDD)에 소스가 연결되고 제 1 전원 전압(VDDQ)이 게이트로 인가된다.

<206> 제 2 보상 피모스 트랜지스터(MPC2)는 제 1 보상 피모스 트랜지스터(MPC1)의 드레인에 소스가 연결되고 제 1 데이터 신호(DATA1)가 게이트로 인가되어 제 2 반전 피모스 트랜지스터(MPA2)와 제 1 반전 앤모스 트랜지스터(MNA1)의 연결 노드에 소스가 연결된다

<207> 제 1 전압 보상부(540)는 제 1 전원 전압(VDDQ)과 제 2 전원 전압(VDD)이 제 1 보상 피모스 트랜지스터(MPC1)의 문턱 전압(threshold voltage) 레벨 이상 차이가 나는 경우, 제 1 반전 데이터 신호(/DATA1)의 전압 레벨을 보상하는 것을 특징으로 한다.

<208> 도 5에는 클럭 신호(CLK)에 응답하여 데이터 신호(DATA) 및 반전 데이터 신호(/DATA)를 버퍼링한 후 제 1 데이터 신호(DATA1) 및 제 2 데이터 신호(DATA2)로서 출력하는 버퍼 로직부(510)가 도시되어 있다.

<209> 제 2 반전부(550)는 제 1 전원 전압(VDDQ)의 레벨과 제 2 전원 전압(VDD)의 레벨이 동일하면, 소정의 동작 전압 레벨을 가지는 제 2 데이터 신호(DATA2)를 수신하여 반전 시킨 제 2 반전 데이터 신호(/DATA2)를 발생한다.

<210> 제 2 반전부(550)는 제 3 반전 피모스 트랜지스터(MPA3), 제 4 반전 피모스 트랜지스터(MPA4), 제 2 반전 엔모스 트랜지스터(MNA2) 및 제 2 제어 전압 발생부(565)를 구비 한다.

<211> 제 3 반전 피모스 트랜지스터(MPA3)는 제 1 전원 전압(VDDQ)에 소스가 연결되고 게이트에 소정의 제 2 제어 전압(CON2)이 인가된다. 제 4 반전 피모스 트랜지스터(MPA4)는 제 3 반전 피모스 트랜지스터(MPA3)의 드레인에 소스가 연결되고 게이트에 제 2 데이터 신호(DATA2)가 인가되면 드레인이 제 2 반전 데이터 신호(/DATA2)를 발생한다.

<212> 제 2 반전 엔모스 트랜지스터(MNA2)는 제 4 반전 피모스 트랜지스터(MPA4)의 드레인에 드레인이 연결되고 게이트에 제 2 데이터 신호(DATA2)가 인가되면 소스가 제 1 접지 전압(VSSQ)에 연결된다.

<213> 제 2 제어 전압 발생부(565)는 제 1 전원 전압(VDDQ)의 레벨과 제 2 전원 전압(VDD)의 레벨이 동일하면 제 1 제어 전압(CON1)을 제 1 논리 레벨로 발생하고, 제 2 전원 전압(VDD)의 레벨보다 제 1 전원 전압(VDDQ)의 레벨이 일정 레벨만큼 낮으면 제 2 제어 전압(CON2)을 제 2 논리 레벨로 발생한다.

<214> 좀더 설명하면, 제 2 제어 전압 발생부(565)는 제 2 제어 피모스 트랜지스터(MPCON2), 제 N+1 내지 제 M 부하 피모스 트랜지스터들(MPR N+1 ~ MPR M) 및 제 2 제어 엔모스 트랜지스터(MNCON2)를 구비 한다.

- <215> 제 2 제어 피모스 트랜지스터(MPCON2)는 제 2 전원 전압(VDD)에 소스가 연결되고 제 1 전원 전압(VDDQ)이 게이트로 인가된다. 제 N+1 내지 제 M 부하 피모스 트랜지스터들(MPR N+1 ~ MPR M)은 제 2 제어 피모스 트랜지스터(MPCON2)에 직렬로 연결된다.
- <216> 제 2 제어 엔모스 트랜지스터(MNCON2)는 제 M 부하 피모스 트랜지스터(MPR M)와 제 2 접지 전압(VSS) 사이에 연결되며, 드레인이 제 2 제어 전압(CON2)을 발생하고 게이트와 소스가 연결된다.
- <217> 제 2 전압 보상부(560)는 제 1 전원 전압(VDDQ)이 제 2 전원 전압(VDD)과 일정한 전압 레벨 이상 차이가 나는 경우, 제 2 반전 데이터 신호(/DATA2)의 전압 레벨을 보상하여 제 2 드라이빙 신호(DRV2)를 발생한다.
- <218> 좀더 설명하면, 제 2 전압 보상부(560)는 제 3 보상 피모스 트랜지스터 (MPC3) 및 제 4 보상 피모스 트랜지스터(MPC4)를 구비한다.
- <219> 제 3 보상 피모스 트랜지스터(MPC3)는 제 2 전원 전압(VDD)에 소스가 연결되고 제 1 전원 전압(VDDQ)이 게이트로 인가된다. 제 4 보상 피모스 트랜지스터(MPC4)는 제 3 보상 피모스 트랜지스터(MPC3)의 드레인에 소스가 연결되고 제 2 데이터 신호(DATA2)가 게이트로 인가되며 제 4 반전 피모스 트랜지스터(MPA4)와 제 2 반전 엔모스 트랜지스터 (MNA2)의 연결 노드에 소스가 연결된다.
- <220> 제 2 전압 보상부(560)는 제 1 전원 전압(VDDQ)과 제 2 전원 전압(VDD)이 제 3 보상 피모스 트랜지스터(MPC3)의 문턱 전압(thresh hold voltage) 레벨 이상 차이가 나는 경우, 제 2 반전 데이터 신호(/DATA2)의 전압 레벨을 보상한다.

- <221> 드라이버부(570)는 제 1 드라이빙 신호(DRV1) 및 제 2 드라이빙 신호(DRV2)를 수신하고, 제 1 드라이빙 신호(DRV1) 및 제 2 드라이빙 신호(DRV2)의 논리 레벨과 반대되는 논리 레벨을 가지는 출력 데이터 신호(DATAOUT)를 출력한다.
- <222> 버퍼 로직부(510)의 동작은 도 3의 동작 설명에서 설명되었으므로 생략된다.
- <223> 도 5에 도시된 제 2 실시예에 따른 데이터 출력 회로(500)는 제 1 반전부(530) 및 제 2 반전부(550)의 구성 및 동작이 제 1 실시예에 따른 데이터 출력 회로(300)와 다르다. 따라서 제 1 반전부(530) 및 제 2 반전부(550)의 동작을 중심으로 설명한다.
- <224> 제 1 전원 전압(VDDQ)과 제 2 전원 전압(VDD)이 동일한 전압 레벨을 가지거나 제 1 전원 전압(VDDQ)이 제 2 전원 전압(VDD)보다 제 1 제어 피모스 트랜지스터(MPCON1)의 문턱 전압 레벨 이하로 차이가 난다면 제 1 제어 피모스 트랜지스터(MPCON1)는 턴 오프 된다.
- <225> 그러면 턴 오프 되어있는 제 1 제어 엔모스 트랜지스터(MNCON1)는 제 1 제어 전압(CON1)을 제 1 논리 레벨 즉, 로우 레벨로 일정하게 유지시킨다.
- <226> 로우 레벨을 가지는 제 1 제어 전압(CON1)은 제 1 반전 피모스 트랜지스터(MPA1)를 턴 온 시킨다. 제 1 데이터 신호(DATA1)가 로우 레벨인 경우 제 2 반전 피모스 트랜지스터(MPA2)도 턴 온 되어 제 1 반전부(530)는 제 1 반전 데이터 신호(/DATA1)를 제 1 전원 전압(VDDQ) 레벨로 발생한다.
- <227> 이때 제 1 전원 전압(VDDQ) 레벨은 동작 전압 레벨을 가지는 제 2 전원 전압(VDD) 레벨과 동일하거나 제 1 제어 피모스 트랜지스터(MPCON1)의 문턱 전압 레벨 이하로 차이가

나므로 제 1 드라이빙 신호(DRV1)의 기울기도 느리지 않으며 출력 데이터 신호 (DATAOUT)의 스큐도 발생되지 않는다.

<228> 제 1 전원 전압(VDDQ)레벨은 동작 전압 레벨을 가지는 제 2 전원 전압(VDD)레벨과 동일하거나 제 1 제어 피모스 트랜지스터(MPCON1)의 문턱 전압 레벨 이하로 차이가 나므로 제 1 보상 피모스 트랜지스터(MPC1)는 턴 오프 되어 있으며 제 1 전압 보상부(540)는 동작되지 않는다.

<229> 제 2 전원 전압(VDD)의 레벨보다 제 1 전원 전압(VDDQ)의 레벨이 제 1 제어 피모스 트랜지스터(MPCON1)의 문턱 전압 레벨 이상으로 작다면 제 1 제어 피모스 트랜지스터(MPCON1)는 턴 온 되고 제 1 제어 전압(CON1)은 제 2 논리 레벨, 즉, 하이 레벨로 발생된다.

<230> 제 1 제어 전압(CON1)의 전압 레벨은 제 1 내지 제 N 부하 피모스 트랜지스터들 (MPR 1 ~ MPR N)에 의하여 조절될 수 있다. 제 1 제어 전압(CON1)이 하이 레벨로 발생되면 제 1 반전 피모스 트랜지스터(MPA1)가 턴 오프 된다.

<231> 그러나 제 1 전압 보상부(540)의 제 1 보상 피모스 트랜지스터(MPC1)가 턴 온 된다. 제 1 데이터 신호(DATA1)가 로우 레벨이라면 제 2 보상 피모스 트랜지스터(MPC2)도 턴 온 되므로 제 1 반전 데이터 신호(/DATA1)의 전압 레벨은 제 2 전원 전압(VDD)레벨과 동일해진다.

<232> 따라서 제 1 드라이빙 신호(DRV1)의 기울기도 느려지지 않으며 출력 데이터 신호 (DATAOUT)의 스큐도 발생되지 않는다.

- <233> 제 1 제어 전압(CON1)은 제 1 전압 보상부(540)의 제 1 보상 피모스 트랜지스터(MPC1)의 동작과 연계되어 동작된다. 즉, 제 1 보상 피모스 트랜지스터(MPC1)가 턴 온 되는 만큼 제 1 반전 피모스 트랜지스터(MPA1)를 턴 오프 시키며, 제 1 보상 피모스 트랜지스터(MPC1)가 턴 오프 되는 만큼 제 1 반전 피모스 트랜지스터(MPA1)를 턴 온 시킨다.
- <234> 제 2 반전부(550) 및 제 2 전압 보상부(560)의 회로 구성 및 동작은 제 1 반전부(530) 및 제 1 전압 보상부(540)의 회로 구성 및 동작과 동일하므로 상세한 설명은 생략한다.
- <235> 도 7은 본 발명의 제 3 실시예에 따른 데이터 출력 데이터 회로이다.
- <236> 도 8은 도 7의 제 1 및 제 2 제어부를 나타내는 회로도이다.
- <237> 도 7 및 도 8을 참조하면, 본 발명의 제 3 실시예에 따른 데이터 출력 회로(700)는 제 1 반전부(730), 제 1 전압 보상부(740), 제 1 제어부(745), 제 2 반전부(750), 제 2 전압 보상부(760), 제 2 제어부(765) 및 드라이버부(770)를 구비한다.
- <238> 제 1 반전부(730)는 소정의 출력 전압 레벨을 가지는 제 1 전원 전압(VDDQ)의 레벨과 소정의 동작 전압 레벨을 가지는 제 2 전원 전압(VDD)의 레벨이 동일하면, 동작 전압 레벨을 가지는 제 1 데이터 신호(DATA1)를 수신하여 반전시킨 제 1 반전 데이터 신호(/DATA1)를 발생한다.
- <239> 좀더 설명하면, 제 1 반전부(730)는 제 1 반전 피모스 트랜지스터(MPA1), 제 2 반전 피모스 트랜지스터(MPA2) 및 제 1 반전 엔모스 트랜지스터(MNA1)를 구비한다.

<240> 제 1 반전 피모스 트랜지스터(MPA1)는 제 1 전원 전압(VDDQ)에 소스가 연결되고 게이트에 제 2 제어 신호(CONS2)가 인가된다. 제 2 반전 피모스 트랜지스터(MPA2)는 제 1 반전 피모스 트랜지스터(MPA1)의 드레인에 소스가 연결되고 게이트에 제 1 데이터 신호(DATA1)가 인가되면 드레인이 제 1 반전 데이터 신호(/DATA1)를 발생한다.

<241> 제 1 반전 엔모스 트랜지스터(MNA1)는 제 2 반전 피모스 트랜지스터(MPA2)의 드레인에 드레인이 연결되고 게이트에 제 1 데이터 신호(DATA1)가 인가되면 소스가 제 1 접지 전압(VSSQ)에 연결된다.

<242> 제 1 전압 보상부(740)는 제 1 전원 전압(VDDQ)의 레벨이 제 2 전원 전압(VDD)의 레벨과 일정한 전압 차이가 나는 경우, 제 1 반전 데이터 신호(/DATA1)의 전압 레벨을 보상하여 제 1 드라이빙 신호(DRV1)를 발생한다.

<243> 좀더 설명하면, 제 1 전압 보상부(740)는 제 1 보상 피모스 트랜지스터(MPC1) 및 제 2 보상 피모스 트랜지스터(MPC2)를 구비한다.

<244> 제 1 보상 피모스 트랜지스터(MPC1)는 제 2 전원 전압(VDD)에 소스가 연결되고 제 1 제어 신호(CONS1)가 게이트로 인가된다. 제 2 보상 피모스 트랜지스터(MPC2)는 제 1 보상 피모스 트랜지스터(MPC1)의 드레인에 소스가 연결되고 제 1 데이터 신호(DATA1)가 게이트로 인가되면 제 2 반전 피모스 트랜지스터(MPA2)와 제 1 반전 엔모스 트랜지스터(MNA1)의 연결 노드에 소스가 연결된다

<245> 제 1 제어부(745)는 제 1 전원 전압(VDDQ)의 레벨이 제 2 전원 전압(VDD)의 레벨과 동일한 경우와 제 1 전원 전압(VDDQ)의 레벨이 제 2 전원 전압(VDD)의 레벨과 일정한 전압 레벨 이상 차이가 나는 경우에 각각 응답하여 제 1 전압 보상부(740)의 동작을 제어

하는 제 1 제어 신호(CONS1) 및 제 1 반전부(730)의 동작을 제어하는 제 2 제어 신호(CONS2)를 발생한다.

<246> 좀더 설명하면, 제 1 제어부(745)는 제 1 제어 피모스 트랜지스터(MPCON1), 제 1 제어 엔모스 트랜지스터(MNCON1), 제 1 인버터(I1) 및 제 2 인버터(I2)를 구비한다.

<247> 제 1 제어 피모스 트랜지스터(MPCON1)는 제 2 전원 전압(VDD)에 소스가 연결되고 제 1 전원 전압(VDDQ)이 게이트로 인가된다. 제 1 제어 엔모스 트랜지스터(MNCON1)는 제 1 제어 피모스 트랜지스터(MPCON1)의 드레인에 드레인이 연결되고 게이트와 소스가 제 2 접지 전압(VSS)에 연결된다.

<248> 제 1 인버터(I1)는 제 1 제어 피모스 트랜지스터(MPCON1)와 제 1 제어 엔모스 트랜지스터(MNCON1)의 연결 노드(N1)에 연결되며 제 1 제어 신호(CONS1)를 발생한다. 제 2 인버터(I2)는 제 1 인버터(I1)에 연결되며 제 2 제어 신호(CONS2)를 발생한다.

<249> 제 2 반전부(750)는 제 1 전원 전압(VDDQ)의 레벨과 제 2 전원 전압(VDD)의 레벨이 동일하면, 소정의 동작 전압 레벨을 가지는 제 2 데이터 신호(DATA2)를 수신하여 반전시킨 제 2 반전 데이터 신호(/DATA2)를 발생한다.

<250> 좀더 설명하면, 제 2 반전부(750)는 제 3 반전 피모스 트랜지스터(MPA3), 제 4 반전 피모스 트랜지스터(MPA4) 및 제 2 반전 엔모스 트랜지스터(MNA2)를 구비한다.

<251> 제 3 반전 피모스 트랜지스터(MPA3)는 제 1 전원 전압(VDDQ)에 소스가 연결되고 게이트에 소정의 제 4 제어 신호(CONS4)가 인가된다. 제 4 반전 피모스 트랜지스터(MPA4)는 제 3 반전 피모스 트랜지스터(MPA3)의 드레인에 소스가 연결되고 게이트에 제 2 데이터 신호(DATA2)가 인가되면 드레인이 제 2 반전 데이터 신호(/DATA2)를 발생한다.

<252> 제 2 반전 엔모스 트랜지스터(MNA2)는 제 4 반전 피모스 트랜지스터(MPA4)의 드레인에 드레인이 연결되고 게이트에 제 2 데이터 신호(DATA2)가 인가되면 소스가 제 1 접지 전압(VSSQ)에 연결된다.

<253> 제 2 전압 보상부(760)는 제 1 전원 전압(VDDQ)이 제 2 전원 전압(VDD)과 일정한 전압 레벨 이상 차이가 나는 경우, 제 2 반전 데이터 신호(/DATA2)의 전압 레벨을 보상하여 제 2 드라이빙 신호(DRV2)를 발생한다.

<254> 좀더 설명하면, 제 2 전압 보상부(760)는 제 3 보상 피모스 트랜지스터 (MPC3) 및 제 4 보상 피모스 트랜지스터(MPC4)를 구비한다.

<255> 제 3 보상 피모스 트랜지스터(MPC3)는 제 2 전원 전압(VDD)에 소스가 연결되고 제 3 제어 신호(CONS3)가 게이트로 인가된다. 제 4 보상 피모스 트랜지스터(MPC4)는 제 3 보상 피모스 트랜지스터(MPC3)의 드레인에 소스가 연결되고 제 2 데이터 신호(DATA2)가 게이트로 인가되면 제 4 반전 피모스 트랜지스터(MPA4)와 제 2 반전 엔모스 트랜지스터 (MNA2)의 연결 노드에 소스가 연결된다.

<256> 제 2 제어부(765)는 제 1 전원 전압(VDDQ)의 레벨이 제 2 전원 전압(VDD)의 레벨과 동일한 경우와 제 1 전원 전압(VDDQ)의 레벨이 제 2 전원 전압(VDD)의 레벨과 일정한 전압 레벨 이상 차이가 나는 경우에 각각 응답하여 제 2 전압 보상부(760)의 동작을 제어하는 제 3 제어 신호(CONS3) 및 제 2 반전부(750)의 동작을 제어하는 제 4 제어 신호 (CONS4)를 발생한다.

<257> 좀더 설명하면, 제 2 제어부(765)는 제 2 제어 피모스 트랜지스터(MPCON2), 제 2 제어 엔모스 트랜지스터(MNCON2), 제 3 인버터(I3) 및 제 4 인버터(I4)를 구비한다.

<258> 제 2 제어 피모스 트랜지스터(MPCON2)는 제 2 전원 전압(VDD)에 소스가 연결되고 제 1 전원 전압(VDDQ)이 게이트로 인가된다. 제 2 제어 엔모스 트랜지스터(MNCON2)는 제 2 제어 피모스 트랜지스터(MPCON2)의 드레인에 드레인이 연결되고 게이트와 소스가 제 2 접지 전압(VSS)에 연결된다.

<259> 제 3 인버터(I3)는 제 2 제어 피모스 트랜지스터(MPCON2)와 제 2 제어 엔모스 트랜지스터(MNCON2)의 연결 노드(N2)에 연결되며 제 3 제어 신호(CONS3)를 발생한다. 제 4 인버터(I4)는 제 3 인버터(I3)에 연결되며 제 4 제어 신호(CONS4)를 발생한다.

<260> 드라이버부(770)는 제 1 드라이빙 신호(DRV1) 및 제 2 드라이빙 신호(DRV2)를 수신하고, 제 1 드라이빙 신호(DRV1) 및 제 2 드라이빙 신호(DRV2)의 논리 레벨과 반대되는 논리 레벨을 가지는 출력 데이터 신호(DATAOUT)를 출력한다.

<261> 토 7의 제 3 실시예에 따른 데이터 출력 회로(700)는 제 1 반전부(730)와 제 1 전압 보상부(740)를 제어하는 제 1 제어 신호(CONS1) 및 제 2 제어 신호(CONS2)를 발생하는 제 1 제어부(745)와 제 2 반전부(750)와 제 2 전압 보상부(760)를 제어하는 제 3 제어 신호(CONS3) 및 제 4 제어 신호(CONS4)를 발생하는 제 2 제어부(765)를 구비하는 것을 특징으로 한다.

<262> 제 1 제어 신호(CONS1)와 제 2 제어 신호(CONS2)는 서로 반대되는 위상을 가진 신호로서, 제 1 전원 전압(VDDQ)과 제 2 전원 전압(VDD)의 전압 레벨의 차이가 없을 경우에는 제 2 제어 신호(CONS2)는 로우 레벨로 발생되고 제 1 제어 신호(CONS1)는 하이 레벨로 발생된다.

- <263> 제 1 전원 전압(VDDQ)과 제 2 전원 전압(VDD)의 전압 레벨의 차이가 있을 경우, 즉, 제 1 전원 전압(VDDQ)의 전압 레벨이 제 2 전원 전압(VDD)의 전압 레벨보다 제 1 제어 피모스 트랜지스터(MPCON1)의 문턱 전압 레벨 이상으로 작을 경우, 제 2 제어 신호(CONS2)는 하이 레벨로 발생되고 제 1 제어 신호(CONS1)는 로우 레벨로 발생된다.
- <264> 제 1 전원 전압(VDDQ)과 제 2 전원 전압(VDD)의 전압 레벨의 차이가 없어서 제 2 제어 신호(CONS2)는 로우 레벨로 발생되고 제 1 제어 신호(CONS1)는 하이 레벨로 발생되면, 제 1 반전부(730)의 제 1 반전 피모스 트랜지스터(MPA1)는 턴 온 되고, 제 1 전압 보상부(740)의 제 1 보상 피모스 트랜지스터(MPC1)는 턴 오프 된다. 따라서 제 1 전압 보상부(740)는 동작되지 않는다.
- <265> 제 1 데이터 신호(DATA1)가 로우 레벨일 경우, 제 2 반전 피모스 트랜지스터(MPA2)가 턴 온 되면 제 1 반전 데이터 신호(/DATA1)는 제 1 전원 전압(VDDQ)레벨로 활성화된다. 제 1 전원 전압(VDDQ)의 전압 레벨은 제 2 전원 전압(VDD)의 전압 레벨과 차이가 없으므로 제 1 드라이빙 신호(DRV1)의 기울기도 느려지지 않으며 출력 데이터 신호(DATAOUT)의 스퀴드 발생되지 않는다.
- <266> 제 1 전원 전압(VDDQ)의 전압 레벨이 제 2 전원 전압(VDD)의 전압 레벨보다 제 1 제어 피모스 트랜지스터(MPCON1)의 문턱 전압 레벨 이상으로 작아서, 제 2 제어 신호(CONS2)는 하이 레벨로 발생되고 제 1 제어 신호(CONS1)는 로우 레벨로 발생되면 제 1 반전 피모스 트랜지스터(MPA1)는 턴 오프 되고 제 1 보상 피모스 트랜지스터(MPC1)는 턴 온 된다. 따라서 제 1 반전부(730)는 동작되지 않는다.
- <267> 제 1 데이터 신호(DATA1)가 로우 레벨일 경우, 제 2 보상 피모스 트랜지스터(MPC2)가 턴 온 되면 제 1 반전 데이터 신호(/DATA1)는 제 2 전원 전압(VDD)레벨로 활성화된다

제 1 드라이빙 신호(DRV1)는 제 2 전원 전압(VDD) 레벨을 가지게 되므로 제 1 드라이빙 신호(DRV1)의 기울기도 느려지지 않으며 출력 데이터 신호(DATAOUT)의 스윕도 발생되지 않는다.

<268> 제 1 전원 전압(VDDQ)의 전압 레벨이 제 2 전원 전압(VDD)의 전압 레벨보다 제 1 제어 피모스 트랜지스터(MPCON1)의 문턱 전압 레벨 이상으로 작은 경우, 제 1 제어부(745)의 제 1 제어 피모스 트랜지스터(MPCON1)는 턴 온 되고 연결 노드(N1)는 제 2 전원 전압(VDD)의 레벨을 가지게 된다. 그리고, 제 1 제어 신호(CONS1)는 로우 레벨을 가지고 제 2 제어 신호(CONS2)는 하이 레벨을 가진다.

<269> 제 1 전원 전압(VDDQ)의 전압 레벨이 제 2 전원 전압(VDD)의 전압 레벨과 동일한 경우 제 1 제어 피모스 트랜지스터(MPCON1)는 턴 오프 되고 연결 노드(N1)는 플로우팅(floating) 상태가 된다.

<270> 그러나 연결 노드(N1)의 전압 레벨은 제 1 제어 엔모스 트랜지스터(MNCON1)에 의하여 점점 낮아지다가 제 1 제어 엔모스 트랜지스터(MNCON1)의 문턱 전압 레벨의 전압 레벨을 가지게 된다. 그리고 제 1 제어 신호(CONS1)는 하이 레벨을 가지고 제 2 제어 신호(CONS2)는 로우 레벨을 가진다.

<271> 제 2 반전부(750)와 제 2 전압 보상부(760) 및 제 2 제어부(765)의 회로 구성 및 동작은 제 2 반전부(750)와 제 2 전압 보상부(760) 및 제 2 제어부(765)의 회로 구성 및 동작과 동일하므로 상세한 설명은 생략한다.

<272> 도 7의 제 3 실시예에 따른 데이터 출력 회로(700)는 제 1 제어 신호(CONS1)와 제 2 제어 신호(CONS2)를 이용하여 제 1 전원 전압(VDDQ)과 제 2 전원 전압(VDD)의 전압 레

벨의 차이에 따라 제 1 반전 데이터 신호(/DATA1)의 전압 레벨을 보상하는 전원 전압을 선택할 수 있다.

<273> 또한 데이터 출력 회로(700)는 제 3 제어 신호(CONS3)와 제 4 제어 신호(CONS4)를 이용하여 제 1 전원 전압(VDDQ)과 제 2 전원 전압(VDD)의 전압 레벨의 차이에 따라 제 2 반전 데이터 신호(/DATA2)의 전압 레벨을 보상하는 전원 전압을 선택할 수 있다.

<274> 따라서 제 1 전원 전압(VDDQ)의 전압 레벨의 변화와 상관없이 출력 데이터 신호(DATAOUT)의 스ueue를 최소화 할 수 있다.

<275> 이상에서와 같이 도면과 명세서에서 최적 실시예가 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미 한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<276> 상술한 바와 같이 본 발명에 따른 데이터 출력 회로는 동작 전압 레벨과 다른 전압 레벨을 가지는 전원 전압의 전압 레벨 변화를 자동으로 인식하여 출력되는 데이터 신호의 스ueue를 개선시킬 수 있는 장점이 있다.

【특허청구범위】**【청구항 1】**

소정의 동작 전압 레벨을 가지는 제 1 데이터 신호를 수신하여 반전시킨 제 1 반전 데이터 신호를 발생하는 제 1 반전부 ;

소정의 출력 전압 레벨을 가지는 제 1 전원 전압이 상기 동작 전압 레벨을 가지는 제 2 전원 전압과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 1 반전 데이터 신호의 전압 레벨을 보상하여 제 1 드라이빙 신호를 발생하는 제 1 전압 보상부 ;

상기 동작 전압 레벨을 가지는 제 2 데이터 신호를 수신하여 반전시킨 제 2 반전 데이터 신호를 발생하는 제 2 반전부 ;

상기 제 1 전원 전압이 상기 제 2 전원 전압과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 2 반전 데이터 신호의 전압 레벨을 보상하여 제 2 드라이빙 신호를 발생하는 제 2 전압 보상부 ; 및

상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호를 수신하고, 상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호의 논리 레벨과 반대되는 논리 레벨을 가지는 출력 데이터 신호를 출력하는 드라이버부를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 2】

제 1항에 있어서, 상기 제 1 반전부는,

직렬 연결되는 제 1 피모스 트랜지스터와 제 1 엔모스 트랜지스터가 상기 제 1 전원 전압과 상기 출력 전압 레벨을 가지는 제 1 접지 전압 사이에 연결되어 인버터를 형성하고,

상기 제 1 데이터 신호가 상기 제 1 피모스 트랜지스터와 상기 제 1 엔모스 트랜지스터의 게이트로 인가되는 것을 특징으로 하는 데이터 출력 회로.

【청구항 3】

제 1항에 있어서, 상기 제 2 반전부는,

직렬 연결되는 제 2 피모스 트랜지스터와 제 2 엔모스 트랜지스터가 상기 제 1 전원 전압과 상기 제 1 접지 전압 사이에 연결되어 인버터를 형성하고,
상기 제 2 데이터 신호가 상기 제 2 피모스 트랜지스터와 상기 제 2 엔모스 트랜지스터의 게이트로 인가되는 것을 특징으로 하는 데이터 출력 회로.

【청구항 4】

제 1항에 있어서, 상기 제 1 전압 보상부는,

상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가되는 제 1 보상 피모스 트랜지스터 ; 및

상기 제 1 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 1 데이터 신호가 게이트로 인가되며 상기 제 1 피모스 트랜지스터와 상기 제 1 엔모스 트랜지스터의 연결 노드에 소스가 연결되는 제 2 보상 피모스 트랜지스터를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 5】

제 4항에 있어서, 상기 제 1 전압 보상부는,
상기 제 1 전원 전압과 상기 제 2 전원 전압이 상기 제 1 보상 피모스 트랜지스터
의 문턱 전압(thresh hold voltage) 레벨 이상 차이가 나는 경우, 상기 제 1 반전 데이
터 신호의 전압 레벨을 보상하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 6】

제 1항에 있어서, 상기 제 2 전압 보상부는,
상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가되
는 제 3 보상 피모스 트랜지스터 ; 및
상기 제 3 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 2 데이터
신호가 게이트로 인가되며 상기 제 2 피모스 트랜지스터와 상기 제 2 엔모스 트랜지스터
의 연결 노드에 소스가 연결되는 제 4 보상 피모스 트랜지스터를 구비하는 것을 특징으
로 하는 데이터 출력 회로.

【청구항 7】

제 6항에 있어서, 상기 제 2 전압 보상부는,
상기 제 1 전원 전압과 상기 제 2 전원 전압이 상기 제 3 보상 피모스 트랜지스터
의 문턱 전압(thresh hold voltage) 레벨 이상 차이가 나는 경우, 상기 제 2 반전 데이
터 신호의 전압 레벨을 보상하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 8】

제 1항에 있어서, 상기 제 1 데이터 신호 및 제 2 데이터 신호는,
서로 동일한 레벨을 가지는 신호인 것을 특징으로 하는 데이터 출력 회로.

【청구항 9】

제 1항에 있어서, 상기 제 1 전압 보상부는,
상기 제 2 전원 전압에 소스가 연결되고 소정의 제 1 하강 전압이 게이트로 인가
되는 제 1 보상 피모스 트랜지스터 ;
상기 제 1 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 1 데이터
신호가 게이트로 인가되며 상기 제 1 피모스 트랜지스터와 상기 제 1 엔모스 트랜지스터
의 연결 노드에 소스가 연결되는 제 2 보상 피모스 트랜지스터 ;
상기 제 1 전원 전압에 직렬로 연결되는 제 1 내지 제 N 부하 피모스 트랜지스터
들 ; 및
상기 제 N 부하 피모스 트랜지스터와 제 2 접지 전압 사이에 연결되며, 드레인이
상기 제 1 하강 전압을 발생하고 게이트와 소스가 연결된 제 1 부하 엔모스 트랜지스터
를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 10】

제 9항에 있어서, 상기 제 1 전압 보상부는,
상기 제 2 전원 전압과 상기 제 1 하강 전압이 상기 제 1 보상 피모스 트랜지스터
의 문턱 전압(thresh hold voltage) 레벨 이상 차이가 나는 경우 상기 제 1 반전 데이터
신호의 전압 레벨을 보상하며,

상기 제 1 하강 전압은,

상기 제 1 내지 제 N 부하 피모스 트랜지스터들의 개수에 의하여 정해지는 것을 특징으로 하는 데이터 출력 회로.

【청구항 11】

제 1항에 있어서, 상기 제 2 전압 보상부는,

상기 제 2 전원 전압에 소스가 연결되고 소정의 제 2 하강 전압이 게이트로 인가되는 제 3 보상 피모스 트랜지스터;

상기 제 3 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 2 데이터 신호가 게이트로 인가되며 상기 제 2 피모스 트랜지스터와 상기 제 2 엔보스 트랜지스터의 연결 노드에 소스가 연결되는 제 4 보상 피모스 트랜지스터;

상기 제 1 전원 전압에 직렬로 연결되는 제 N+1 내지 제 M 부하 피모스 트랜지스터들; 및

상기 제 M 부하 피모스 트랜지스터와 제 2 접지 전압 사이에 연결되며, 드레인이 상기 제 2 하강 전압을 발생하고 게이트와 소스가 연결된 제 2 부하 엔보스 트랜지스터를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 12】

제 11항에 있어서, 상기 제 2 전압 보상부는,

상기 제 2 전원 전압과 상기 제 2 하강 전압이 상기 제 3 보상 피모스 트랜지스터의 문턱 전압(thresh hold voltage) 레벨 이상 차이가 나는 경우 상기 제 2 반전 데이터 신호의 전압 레벨을 보상하며,

상기 제 2 하강 전압은,

상기 제 N+1 내지 제 M 부하 피모스 트랜지스터들의 개수에 의하여 정해지는 것을 특징으로 하는 데이터 출력 회로.

【청구항 13】

소정의 출력 전압 레벨을 가지는 제 1 전원 전압의 레벨과 소정의 동작 전압 레벨을 가지는 제 2 전원 전압의 레벨이 동일하면, 소정의 동작 전압 레벨을 가지는 제 1 데이터 신호를 수신하여 반전시킨 제 1 반전 데이터 신호를 발생하는 제 1 반전부;

상기 제 1 전원 전압의 레벨이 상기 제 2 전원 전압의 레벨과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 1 반전 데이터 신호의 전압 레벨을 보상하여 제 1 드라이빙 신호를 발생하는 제 1 전압 보상부;

상기 제 1 전원 전압과 상기 제 2 전원 전압의 레벨이 동일하면, 소정의 동작 전압 레벨을 가지는 제 2 데이터 신호를 수신하여 반전시킨 제 2 반전 데이터 신호를 발생하는 제 2 반전부;

상기 제 1 전원 전압이 상기 제 2 전원 전압과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 2 반전 데이터 신호의 전압 레벨을 보상하여 제 2 드라이빙 신호를 발생하는 제 2 전압 보상부; 및

상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호를 수신하고, 상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호의 논리 레벨과 반대되는 논리 레벨을 가지는 출력 데이터 신호를 출력하는 드라이버부를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 14】

제 13항에 있어서, 상기 제 1 반전부는,

상기 제 1 전원 전압에 소스가 연결되고 게이트에 소정의 제 1 제어 전압이 인가되는 제 1 반전 피모스 트랜지스터;

상기 제 1 반전 피모스 트랜지스터의 드레인에 소스가 연결되고 게이트에 상기 제 1 데이터 신호가 인가되면 드레인이 상기 제 1 반전 데이터 신호를 발생하는 제 2 반전 피모스 트랜지스터;

상기 제 2 반전 피모스 트랜지스터의 드레인에 드레인이 연결되고 게이트에 상기 제 1 데이터 신호가 인가되면 소스가 제 1 접지 전압에 연결되는 제 1 반전 엔모스 트랜지스터; 및

상기 제 1 전원 전압의 레벨과 상기 제 2 전원 전압의 레벨이 동일하면 상기 제 1 제어 전압을 제 1 논리 레벨로 발생하고, 상기 제 2 전원 전압의 레벨보다 상기 제 1 전원 전압의 레벨이 일정 레벨만큼 낮으면 상기 제 1 제어 전압을 제 2 논리 레벨로 발생하는 제 1 제어 전압 발생부를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 15】

제 14항에 있어서, 상기 제 1 제어 전압 발생부는,

상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가되는 제 1 제어 피모스 트랜지스터;

상기 제 1 제어 피모스 트랜지스터에 직렬로 연결되는 제 1 내지 제 N 부하 피모스 트랜지스터들; 및

상기 제 N 부하 피모스 트랜지스터와 제 2 접지 전압 사이에 연결되며, 드레인이
상기 제 1 제어 전압을 발생하고 게이트와 소스가 연결된 제 1 제어 엔모스 트랜지스터
를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 16】

제 13항에 있어서, 상기 제 1 전압 보상부는,
상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가되
는 제 1 보상 피모스 트랜지스터 ; 및
상기 제 1 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 1 데이터
신호가 게이트로 인가되면 상기 제 2 반전 피모스 트랜지스터와 상기 제 1 반전 엔모스
트랜지스터의 연결 노드에 소스가 연결되는 제 2 보상 피모스 트랜지스터를 구비하는 것
을 특징으로 하는 데이터 출력 회로.

【청구항 17】

제 16항에 있어서, 상기 제 1 전압 보상부는,
상기 제 1 전원 전압과 상기 제 2 전원 전압이 상기 제 1 보상 피모스 트랜지스터
의 문턱 전압(thresh hold voltage) 레벨 이상 차이가 나는 경우, 상기 제 1 반전 데이
터 신호의 전압 레벨을 보상하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 18】

제 13항에 있어서, 상기 제 2 반전부는,
상기 제 1 전원 전압에 소스가 연결되고 게이트에 소정의 제 2 제어 전압이 인가
되는 제 3 반전 피모스 트랜지스터 ;

상기 제 3 반전 피모스 트랜지스터의 드레인에 소스가 연결되고 게이트에 상기 제 2 데이터 신호가 인가되면 드레인이 상기 제 2 반전 데이터 신호를 발생하는 제 4 반전 피모스 트랜지스터 ;

상기 제 4 반전 피모스 트랜지스터의 드레인에 드레인이 연결되고 게이트에 상기 제 2 데이터 신호가 인가되면 소스가 제 1 접지 전압에 연결되는 제 2 반전 엔모스 트랜지스터 ; 및

상기 제 1 전원 전압의 레벨과 상기 제 2 전원 전압의 레벨이 동일하면 상기 제 1 제어 전압을 제 1 논리 레벨로 발생하고, 상기 제 2 전원 전압의 레벨보다 상기 제 1 전원 전압의 레벨이 일정 레벨만큼 낮으면 상기 제 2 제어 전압을 제 2 논리 레벨로 발생하는 제 2 제어 전압 발생부를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 19】

제 18항에 있어서, 상기 제 2 제어 전압 발생부는,

상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가되는 제 2 제어 피모스 트랜지스터 ;

상기 제 2 제어 피모스 트랜지스터에 직렬로 연결되는 제 N+1 내지 제 M 부하 피모스 트랜지스터들 ; 및

상기 제 M+1 부하 피모스 트랜지스터와 제 2 접지 전압 사이에 연결되며, 드레인이 상기 제 2 제어 전압을 발생하고 게이트와 소스가 연결된 제 2 제어 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 20】

제 13항에 있어서, 상기 제 2 전압 보상부는,
상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가되는
는 제 3 보상 피모스 트랜지스터 ; 및
상기 제 3 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 2 데이터
신호가 게이트로 인가되면 상기 제 4 반전 피모스 트랜지스터와 상기 제 2 반전 엔모스
트랜지스터의 연결 노드에 소스가 연결되는 제 4 보상 피모스 트랜지스터를 구비하는 것
을 특징으로 하는 데이터 출력 회로.

【청구항 21】

제 20항에 있어서, 상기 제 2 전압 보상부는,
상기 제 1 전원 전압과 상기 제 2 전원 전압이 상기 제 3 보상 피모스 트랜지스터
의 문턱 전압(thresh hold voltage) 레벨 이상 차이가 나는 경우, 상기 제 2 반전 데이
터 신호의 전압 레벨을 보상하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 22】

제 13항에 있어서, 상기 제 1 데이터 신호 및 제 2 데이터 신호는,
서로 동일한 레벨을 가지는 신호인 것을 특징으로 하는 데이터 출력 회로.

【청구항 23】

소정의 출력 전압 레벨을 가지는 제 1 전원 전압의 레벨과 소정의 동작 전압 레벨
을 가지는 제 2 전원 전압의 레벨이 동일하면, 소정의 동작 전압 레벨을 가지는 제 1 데
이터 신호를 수신하여 반전시킨 제 1 반전 데이터 신호를 발생하는 제 1 반전부 ;

상기 제 1 전원 전압의 레벨이 상기 제 2 전원 전압의 레벨과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 1 반전 데이터 신호의 전압 레벨을 보상하여 제 1 드라이빙 신호를 발생하는 제 1 전압 보상부 ;

상기 제 1 전원 전압의 레벨이 상기 제 2 전원 전압의 레벨과 동일한 경우와 상기 제 1 전원 전압의 레벨이 상기 제 2 전원 전압의 레벨과 일정한 전압 레벨 이상 차이가 나는 경우에 각각 응답하여 상기 제 1 전압 보상부의 동작을 제어하는 제 1 제어 신호 및 상기 제 1 반전부의 동작을 제어하는 제 2 제어 신호를 발생하는 제 1 제어부 ;

상기 제 1 전원 전압의 레벨과 상기 제 2 전원 전압의 레벨이 동일하면, 소정의 동작 전압 레벨을 가지는 제 2 데이터 신호를 수신하여 반전시킨 제 2 반전 데이터 신호를 발생하는 제 2 반전부 ;

상기 제 1 전원 전압이 상기 제 2 전원 전압과 일정한 전압 레벨 이상 차이가 나는 경우, 상기 제 2 반전 데이터 신호의 전압 레벨을 보상하여 제 2 드라이빙 신호를 발생하는 제 2 전압 보상부 ;

상기 제 1 전원 전압의 레벨이 상기 제 2 전원 전압의 레벨과 동일한 경우와 상기 제 1 전원 전압의 레벨이 상기 제 2 전원 전압의 레벨과 일정한 전압 레벨 이상 차이가 나는 경우에 각각 응답하여 상기 제 2 전압 보상부의 동작을 제어하는 제 3 제어 신호 및 상기 제 2 반전부의 동작을 제어하는 제 4 제어 신호를 발생하는 제 2 제어부 ; 및

상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호를 수신하고, 상기 제 1 드라이빙 신호 및 상기 제 2 드라이빙 신호의 논리 레벨과 반대되는 논리 레벨을 가지는 출력부 ;

력 데이터 신호를 출력하는 드라이버부를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 24】

제 23항에 있어서, 상기 제 1 반전부는,

상기 제 1 전원 전압에 소스가 연결되고 게이트에 상기 제 2 제어 신호가 인가되는 제 1 반전 피모스 트랜지스터;

상기 제 1 반전 피모스 트랜지스터의 드레인에 소스가 연결되고 게이트에 상기 제 1 데이터 신호가 인가되면 드레인이 상기 제 1 반전 메이터 신호를 발생하는 제 2 반전 피모스 트랜지스터; 및

상기 제 2 반전 피모스 트랜지스터의 드레인에 드레인이 연결되고 게이트에 상기 제 1 데이터 신호가 인가되면 소스가 제 1 접지 전압에 연결되는 제 1 반전 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 25】

제 23항에 있어서, 상기 제 1 제어부는,

상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가되는 제 1 제어 피모스 트랜지스터;

상기 제 1 제어 피모스 트랜지스터의 드레인에 드레인이 연결되고 게이트와 소스가 제 2 접지 전압에 연결된 제 1 제어 엔모스 트랜지스터;

상기 제 1 제어 피모스 트랜지스터와 상기 제 1 제어 엔모스 트랜지스터의 연결노드에 연결되며 상기 제 1 제어 신호를 발생하는 제 1 인버터; 및

상기 제 1 인버터에 연결되며 상기 제 2 제어 신호를 발생하는 제 2 인버터를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 26】

제 23항에 있어서, 상기 제 1 전압 보상부는,

상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 제어 신호가 게이트로 인가되는 제 1 보상 피모스 트랜지스터 ; 및

상기 제 1 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 1 데이터 신호가 게이트로 인가되며 상기 제 2 반전 피모스 트랜지스터와 상기 제 1 반전 엔모스 트랜지스터의 연결 노드에 소스가 연결되는 제 2 보상 피모스 트랜지스터를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 27】

제 23항에 있어서, 상기 제 2 반전부는,

상기 제 1 전원 전압에 소스가 연결되고 게이트에 소정의 제 4 제어 신호가 인가되는 제 3 반전 피모스 트랜지스터 ;

상기 제 3 반전 피모스 트랜지스터의 드레인에 소스가 연결되고 게이트에 상기 제 2 데이터 신호가 인가되며 드레인이 상기 제 2 반전 데이터 신호를 발생하는 제 4 반전 피모스 트랜지스터 ; 및

상기 제 4 반전 피모스 트랜지스터의 드레인에 드레인이 연결되고 게이트에 상기 제 2 데이터 신호가 인가되며 소스가 제 1 접지 전압에 연결되는 제 2 반전 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 28】

제 23항에 있어서, 상기 제 2 제어부는,

상기 제 2 전원 전압에 소스가 연결되고 상기 제 1 전원 전압이 게이트로 인가되는 제 2 제어 피모스 트랜지스터;

상기 제 2 제어 피모스 트랜지스터의 드레인에 드레인이 연결되고 게이트와 소스가 제 2 접지 전압에 연결된 제 2 제어 엔모스 트랜지스터;

상기 제 2 제어 피모스 트랜지스터와 상기 제 2 제어 엔모스 트랜지스터의 연결노드에 연결되며 상기 제 3 제어 신호를 발생하는 제 3 인버터; 및

상기 제 3 인버터에 연결되며 상기 제 4 제어 신호를 발생하는 제 4 인버터를 구비하는 것을 특징으로 하는 데이터 출력 회로.

【청구항 29】

제 23항에 있어서, 상기 제 2 전압 보상부는,

상기 제 2 전원 전압에 소스가 연결되고 상기 제 3 제어 신호가 게이트로 인가되는 제 3 보상 피모스 트랜지스터; 및

상기 제 3 보상 피모스 트랜지스터의 드레인에 소스가 연결되고 상기 제 2 데이터 신호가 게이트로 인가되며 상기 제 4 반전 피모스 트랜지스터와 상기 제 2 반전 엔모스 트랜지스터의 연결 노드에 소스가 연결되는 제 4 보상 피모스 트랜지스터를 구비하는 것을 특징으로 하는 데이터 출력 회로.

1020020043694

출력 일자: 2002/10/24

【청구항 30】

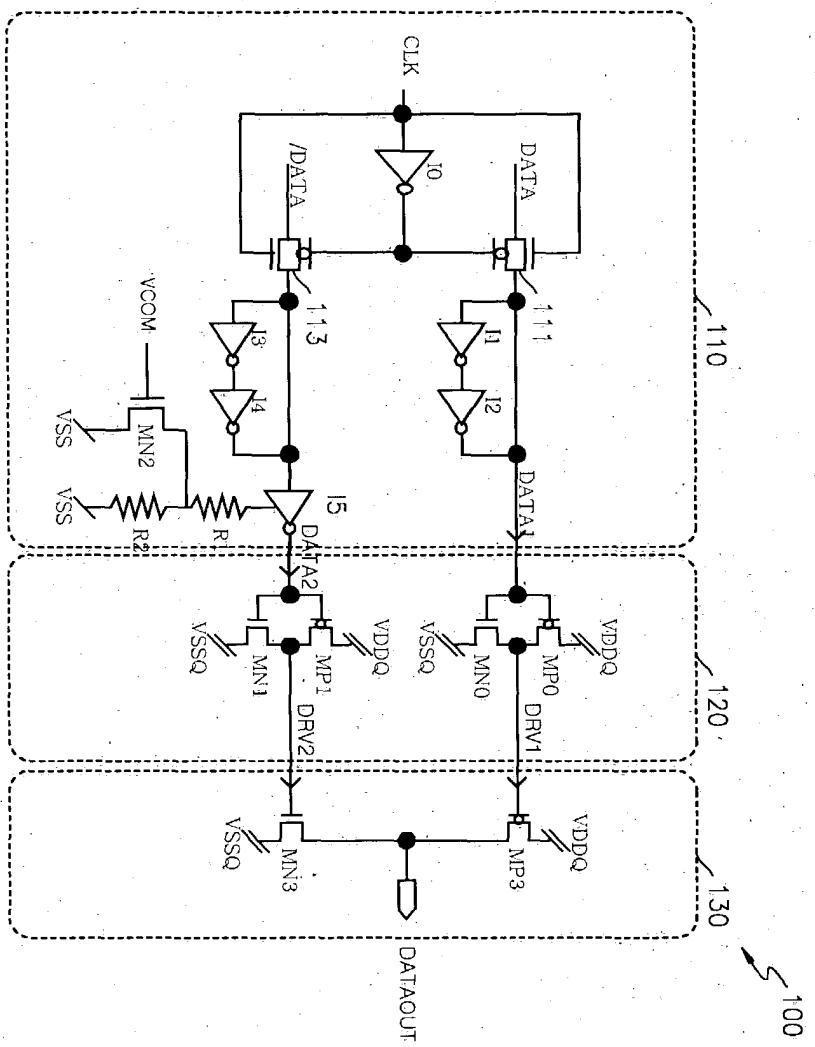
제 23항에 있어서, 상기 제 1 데이터 신호 및 제 2 데이터 신호는,
서로 동일한 레벨을 가지는 신호인 것을 특징으로 하는 데이터 출력 회로.

1020020043694

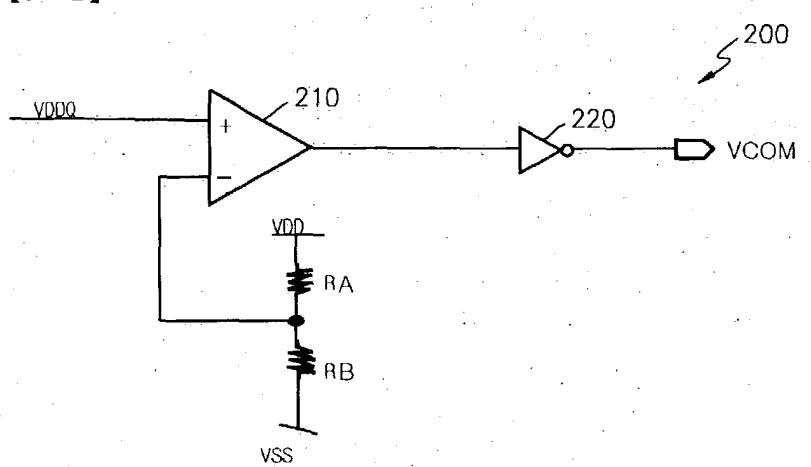
설계 일자: 2002/10/24

【도면】

【도 1】



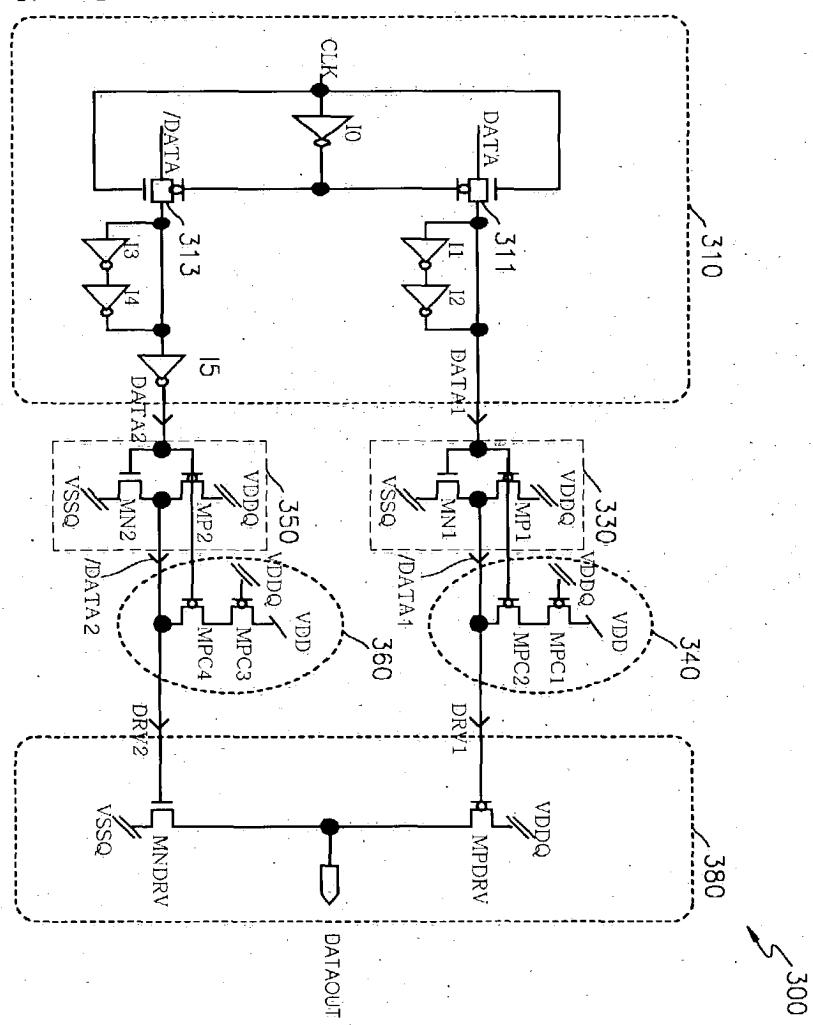
【도 2】



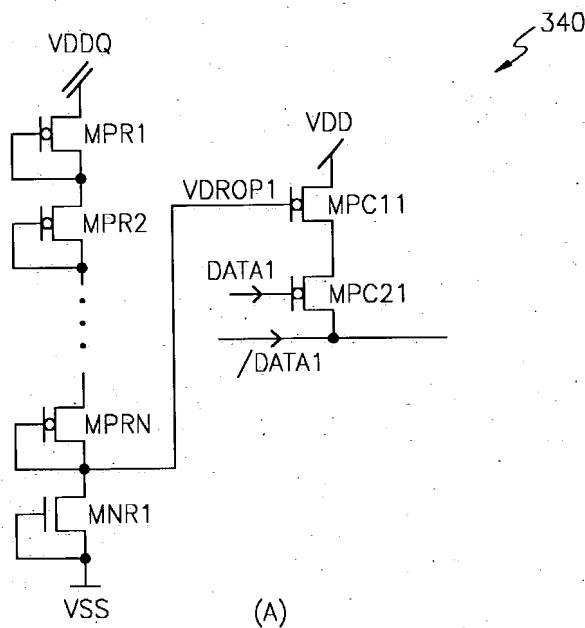
1020020043694

출력 일자: 2002/10/24

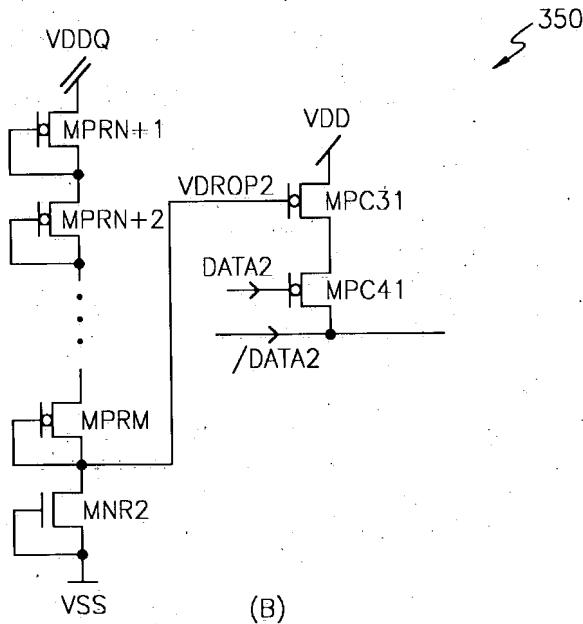
【3】



【도 4】

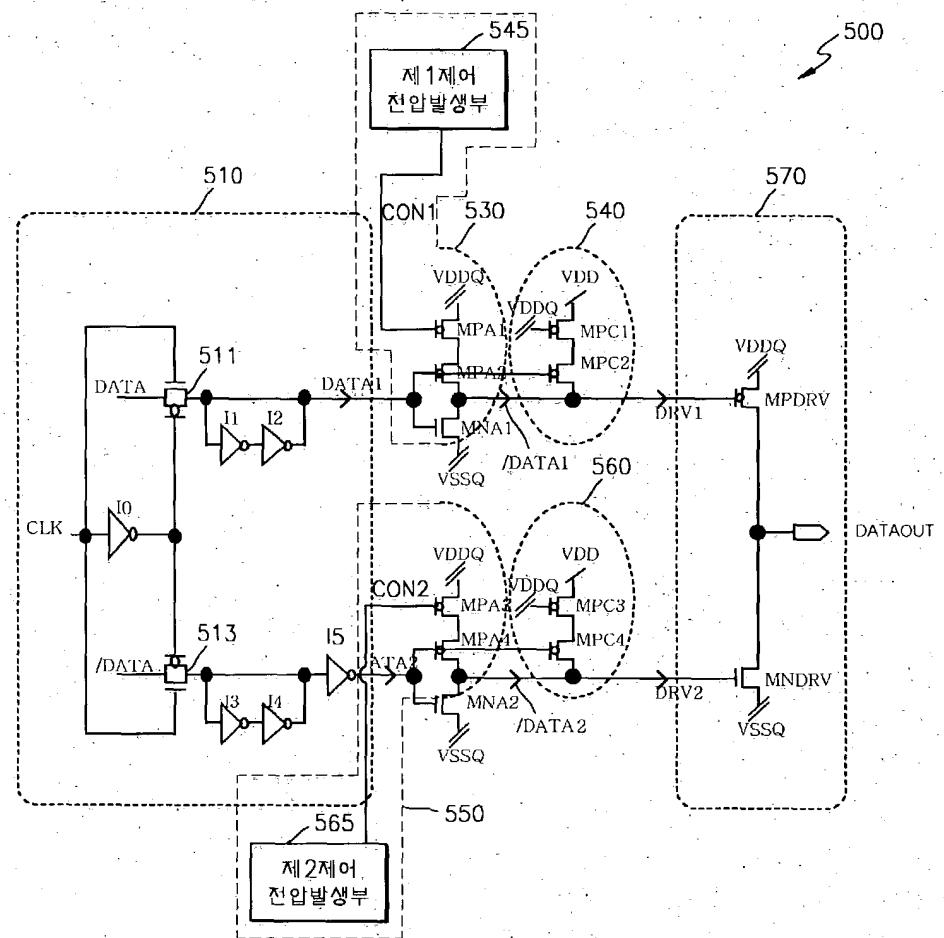


(A)



(B)

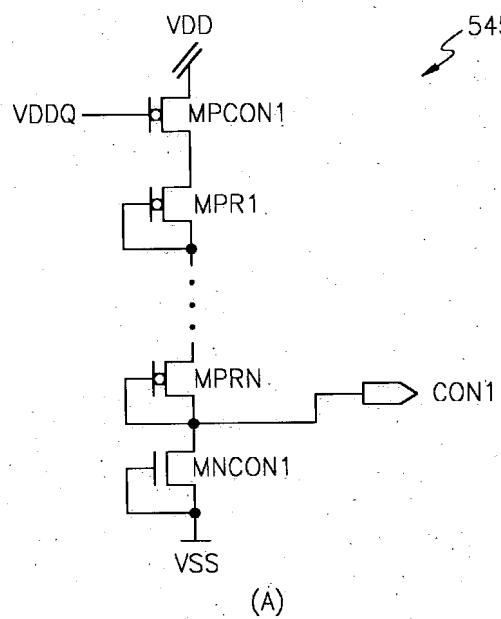
【도 5】



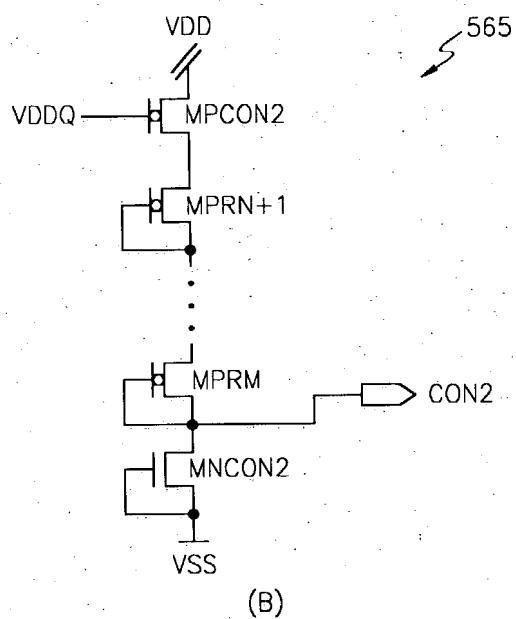
1020020043694

출력 일자: 2002/10/24

【도 6】

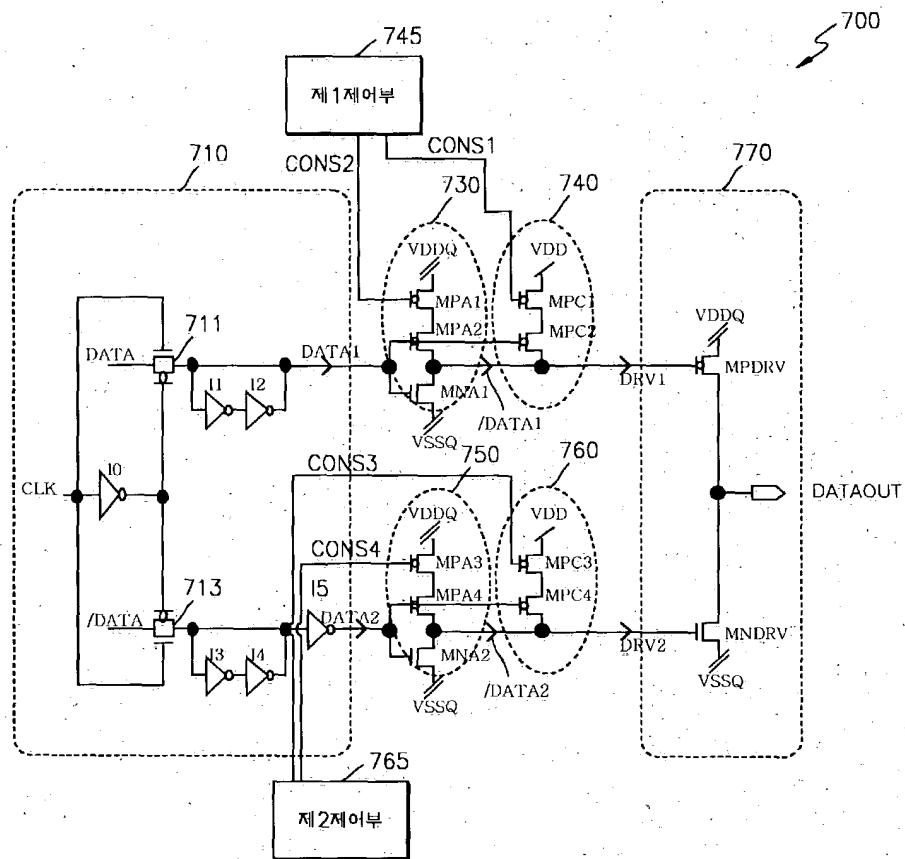


(A)



(B)

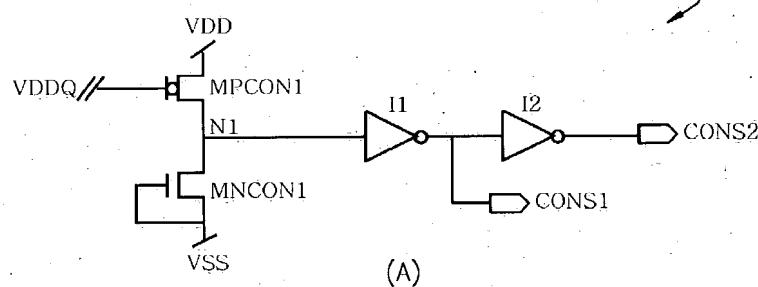
【도 7】



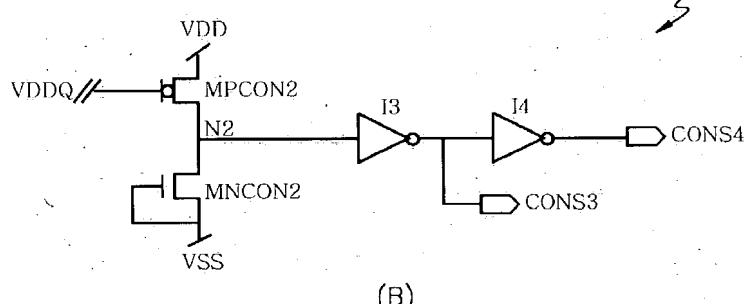
1020020043694

출력 일자: 2002/10/24

【도 8】



(A)



(B)